

Forschungszentrum Jülich



Institut für Schicht- und Ionentechnik

***Charakterisierung und Optimierung
selektiv gewachsener vertikaler
Silizium-MOS-Feldeffekttransistoren***

Dirk Klaes

Jül-3644

***Charakterisierung und Optimierung
selektiv gewachsener vertikaler
Silizium-MOS-Feldeffekttransistoren***

Dirk Klaes

Berichte des Forschungszentrums Jülich ; 3644
ISSN 0944-2952
Institut für Schicht- und Ionentechnik Jül-3644
D82 (Diss. RWTH Aachen)

Zu beziehen durch: Forschungszentrum Jülich GmbH · Zentralbibliothek
D-52425 Jülich · Bundesrepublik Deutschland
☎ 02461/61-61 02 · Telefax: 02461/61-61 03 · e-mail: zb-publikation@fz-juelich.de

Charakterisierung und Optimierung selektiv gewachsener vertikaler Silizium-MOS-Feldeffekttransistoren

Im Rahmen der vorliegenden Arbeit wurden Silizium-MOS-Feldeffekttransistoren mit vertikalem Layout hergestellt, charakterisiert und optimiert. Die aktive Transistorstruktur wurde mittels selektiver Epitaxie gewachsen. Es wurden zwei unterschiedliche Konzepte in Hinblick auf ihre elektrischen Eigenschaften untersucht und optimiert. Ein Layout (V-FET) ist durch die ausschließliche Verwendung gut beherrschbarer, selbstjustierender Standardtechnologien gekennzeichnet, bei der das Gateoxid durch Oxidation der epitaktisch gewachsenen Mesa erzeugt wird. Demgegenüber wird beim hochfrequenzoptimierten Layout (VOXFET) die Transistorstruktur nach der Deposition des Gateoxides gewachsen. Hierbei wird die Kanal-Gate-Selbstjustierung zugunsten der geringeren Überlappkapazitäten aufgegeben.

p-Kanal-Transistoren mit Kanallängen zwischen 100 nm und 200 nm und Oxiddicken von 6 nm - 10 nm zeigten Steilheiten bis 200 mS/mm. Für die Unterschwellsteigung wurden Werte bis 115 mV/dec gemessen. Hochfrequenzmessungen an optimierten VOXFETs zeigten mit Werten bis 20 GHz die höchsten Grenzfrequenzen, die bisher mit vertikalen MOSFET erreicht wurden.

Characterization and Optimization of Selectively Grown Vertical Si-MOS Transistors

The subject of this thesis was the process development, characterization and optimization of silicon based MOS field-effect transistors. The active transistor region was grown using selective epitaxy. Two different layouts have been investigated and optimized in respect of their electrical characteristics. For one of them (V-FET) only well established self-aligning standard technology is used, where the gate oxide is obtained by oxidation of the epitaxially grown transistor stack. For the radio frequency optimized layout (VOXFET) the stack is grown after the deposition of the gate oxide. This leads to a reduction of overlap capacitances while the channel-to-gate self-alignment is lost.

p-channel transistors with channel lengths between 100 nm and 200 nm and gate oxide thicknesses of 6 nm - 10 nm showed transconductances up to 200 mS/mm. The subthreshold slope turned out to be 115 mV/dec. Radio frequency measurements on optimized VOXFETs showed cut-off frequencies up to 20 GHz. These are the highest cut-off frequencies reported for vertical MOSFET up to now.

Inhaltsverzeichnis

1	Einleitung	1
2	Theoretische Grundlagen des MOSFET	5
2.1	Der MOS-Kondensator	5
2.2	Funktionsweise und Kenngrößen des MOSFET	7
2.3	Kurzkanaleffekte	10
3	Vertikale MOSFETs	13
3.1	Eigenschaften vertikaler MOSFETs	13
3.2	Das V-FET-Konzept	14
3.3	Das VOXFET-Konzept	15
4	Epitaxie	17
4.1	Die Si-LPCVD	17
4.2	Grundlagen des epitaktischen Wachstums	18
4.3	Selektive Epitaxie und Facettenwachstum	20
5	Wachstum auf lokal implantierten Substraten	23
5.1	Ionenimplantation in Silizium	23
5.1.1	Grundlagen der Ionenimplantation	24
5.1.2	Ausheilen und elektrische Aktivierung	26
5.1.3	Selektive Implantation	27
5.2	Epitaxie auf implantierten Substraten	28
5.2.1	Die p-dotierte Wanne	28
5.2.2	Die n-dotierte Wanne	31
5.3	Untersuchungen zur Grenzfläche	33
6	Technologie	35
6.1	Allgemeine Prozeßtechnologie	35
6.1.1	Optische Lithographie	35
6.1.2	Ätzverfahren	36
6.1.3	Schichtdeposition und Oxidation	37
6.1.4	Modifizierte RCA-Reinigung	38
6.2	Probencharakterisierung	39

6.3	Ohmsche Kontakte	42
6.3.1	SALICIDE-Prozeß und Kontaktimplantation	43
6.3.2	Messungen an TLM-Strukturen	46
6.4	Vertikale Gateoxide	48
6.4.1	Thermische Oxide	49
6.4.2	Depositionsoxide	50
6.5	Technologie des V-FET	51
6.6	Technologie des VOXFET	55
7	Elektrische Charakterisierung	59
7.1	DC-Charakterisierung	59
7.1.1	Kennlinien des V-FET	59
7.1.2	Kennlinien des VOXFET	62
7.2	HF-Charakterisierung	65
7.2.1	Die Streuparameter	65
7.2.2	Leistungsverstärkungen und Grenzfrequenzen	66
7.2.3	Das Ersatzschaltbild des MOSFET	69
8	Simulation	73
8.1	Das Simulationsprogramm	73
8.2	Vergleich zwischen Simulation und Messung	75
8.3	Einfluß einer Kanal-Gate-Fehljustierung	77
8.4	Einfluß der Kanaldotierung	79
9	Literaturvergleich	81
10	Zusammenfassung und Ausblick	85
A	Prozeßfolge des V-FET	89
B	Prozeßfolge des VOXFET	93
	Literaturverzeichnis	97
	Danksagung	103

Abbildungsverzeichnis

2.1	Bandverlauf eines MOS-Kondensators	6
2.2	Funktionsweise eines MOSFET	8
2.3	Ausgangskennlinienfeld eines MOSFET	9
2.4	Kurzkanaleffekte	11
3.1	Layout des V-FET	15
3.2	Layout des VOXFET	16
4.1	Schematische Darstellung des LPCVD-Reaktors	17
4.2	Prozesse in der LPCVD	19
4.3	Facettenwachstum	20
5.1	Bor-Verteilung nach Implantation	25
5.2	Strahlenschäden durch leichte und schwere Ionen	27
5.3	Schichtwiderstand für unterschiedliche Bor-Implantationsdosen	29
5.4	TEM-Aufnahme der p-Wanne	30
5.5	RBS-Spektrum einer borimplantierten Probe	31
5.6	RBS-Spektrum einer arsenimplantierten Probe	32
5.7	Epitaxie mit und ohne Implantation	33
5.8	C- und O-Verunreinigung	34
6.1	SALICIDE-Prozeß zur Bildung von NiSi	44
6.2	RBS-Spektren der Silizidbildung	45
6.3	Leitungsmodell nach Berger	46
6.4	Gemessene Widerstände an TLM-Struktur	47
6.5	TEM-Aufnahme eines thermischen Gateoxids	49
6.6	TEM-Aufnahme eines deponierten Gateoxids	50
6.7	REM-Aufnahme eines V-FET auf p-Wanne	51
6.8	REM-Aufnahme eines V-FET	52
6.9	SIMS-Spektrum einer p-n-p-Transistorstruktur auf p-Wanne	53
6.10	REM-Aufnahme eines fertig prozessierten V-FET	54
6.11	REM-Aufnahme einer VOXFET-Transistorstruktur	56
6.12	REM-Aufnahme eines fertig prozessierten VOXFET	57
7.1	Ausgangskennlinien eines p-Kanal-V-FET	60

7.2	Vergleich der Ausgangskennlinien	61
7.3	Vergleich der Transferkennlinien	62
7.4	Ausgangskennlinien eines p-Kanal-VOXFET	63
7.5	Transferkennlinien eines p-Kanal-VOXFET	64
7.6	Darstellung der S-Parameter eines 2-Tors	65
7.7	Strom- und Leistungsverstärkung eines p-Kanal-VOXFET	68
7.8	Ersatzschaltbild des MOSFET	69
7.9	Smith-Chart eines VOXFET	71
8.1	ATLAS Ein- und Ausgaben	74
8.2	Simulierte und gemessene Ausgangskennlinien	76
8.3	Ausgangskennlinien bei Kanal-Gate-Fehljustierung	78
8.4	Kennlinien für unterschiedliche Kanaldotierungen	80
10.1	Platzbedarf einer DRAM-Zelle	88

Tabellenverzeichnis

1.1	SIA-Roadmap	2
6.1	Parameter der verwendeten Prozesse beim reaktiven Ionenätzen RIE .	37
6.2	Modifizierte RCA-Reinigung	39
6.3	Silizid-Eigenschaften	44
7.1	Geometrische und elektrische Eigenschaften der V-FETs	61
9.1	Eigenschaften unterschiedlicher MOSFETs	82

Kapitel 1

Einleitung

Die Mikroelektronik wird heute ganz wesentlich von der CMOS-Technologie getragen, deren Anteil am Halbleiterelektronikmarkt im Jahr 2000 voraussichtlich 85 % betragen wird [1]. Mit der nächsten Generation wird der CMOS-Mainstream durch Skalierung planarer Transistoren Strukturgrößen von $0,25\text{ }\mu\text{m}$ bzw. $0,18\text{ }\mu\text{m}$ erreichen, die die Grundlage für 256-Mbit bzw. 1-Gbit-Speicher bilden (Tabelle 1.1). Trotz dieses Verkleinerungspotentials werden nach dem Jahr 2000 zwei Probleme immer stärker in den Vordergrund rücken: Beim Überschreiten der Grenze der optischen Lithographie, die derzeit bei etwa 180 nm gesehen wird, steigen die Entwicklungs- und Fertigungskosten überproportional an. Andererseits stoßen CMOS-Transistoren bei Kanallängen unter 30 nm an ihre physikalischen Grenzen, welche durch die Gesetze der Quantenmechanik gegeben sind.

Im Übergangsbereich von 180 - 30 nm besteht ein hohes Anwendungspotential für kleine, schnelle Bauelemente, die bei Zimmertemperatur betrieben werden können, kleine Off- und große On-Ströme haben, hoch integrierbar sind und dennoch die bisherige Siliziumtechnologie, einschließlich der optischen Lithographie, zum überwiegenden Teil nutzen können.

Eine Möglichkeit zum Erreichen dieser Strukturdimensionen sind weiterentwickelte Belichtungsverfahren. Auf der Basis von Excimer-Laser-Quellen oder durch Nutzung von Phase-Shift-Techniken können Strukturdimensionen bis in den Bereich von 100 nm abgebildet werden [2, 3]. Wird wie bei der Röntgenlithographie oder der Extended UV Licht kürzerer Wellenlänge als Belichterquelle genutzt, können Auflösungen bis zu 30 nm erreicht werden [4]. Diese Verfahren stehen aber teilweise erst am Anfang der Entwicklung oder sind sehr aufwendig in der Maskentechnik. Bei der Elektronenstrahlolithographie werden ebenfalls Auflösungen von einigen 10 nm erzielt [5]. Der serielle Charakter dieses Verfahrens stellt aber für den industriellen Einsatz einen bedeutenden Nachteil dar. Es wird heute neben der Maskenherstellung für optische Lithographie vor allem im Bereich der Grundlagenforschung genutzt.

SIA Prognose	1997	1999	2001	2003	2006	2009
Min. Feature Size (nm)	250	180	150	130	100	70
DRAM Speicher (bit)	256 M	1 G	2 G	4 G	16 G	64 G
MPU Transistoren/Chip	11 M	21 M	40 M	76 M	200 M	520 M
Frequenz (MHz)	750	1200	1400	1600	2000	2500
Max. Verdrahtungsebenen	6	6-7	7	7	7-8	8-9
U_{DD} (V)	< 2,5	< 1,8	< 1,5	< 1,5	< 1,2	< 0,9
Wafer Durchmesser (mm)	200	300	300	300	300	450

Tab. 1.1: SIA-Roadmap mit ausgewählten Richtwerten [7]

Ein ganz anderer Ansatz, das Problem der begrenzten Auflösung der optischen Lithographie zu umgehen, ist die Entwicklung von MOSFETs mit vertikalem Layout. Hierbei wird die Kanallänge nicht photolithographisch, sondern durch die Dicke einer epitaktisch gewachsenen Schicht definiert. Diese Schichten können bis weit in den Sub-100-nm-Bereich reproduzierbar hergestellt werden, wobei die lateralen Abmessungen der Transistoren mittels optischer Lithographie erzeugt werden können. Neben der Reduzierung der Kanallänge ermöglicht die vertikale Anordnung eine wesentliche Erhöhung der Integrationsdichte [6].

Aufbauend auf Ergebnissen von D. Behammer [8, 9], R. Loo [10, 11] und J. Moers [12, 13] wurde im Rahmen der vorliegenden Arbeit die Prozeßfolge zur Herstellung vertikaler MOS-Feldeffekttransistoren optimiert, und die Transistoren wurden charakterisiert. Hierbei wurden zwei vielversprechende Konzepte verfolgt: zum einen das Vertical-FET-Konzept (V-FET, Kapitel 3.2), bei dem das Kanalgebiet mittels selektiver Epitaxie erzeugt wird, bevor die Gateoxidation erfolgt, zum anderen das VOXFET-Konzept (Kapitel 3.3), bei dem das Gateoxid vor der Epitaxie deponiert wird.

Mit kleiner werdenden Strukturdimensionen werden notwendigerweise auch die Kontaktflächen der Transistoren verkleinert. Das führt zu einer Zunahme der Kontaktwiderstände der Metall-Halbleiter-Übergänge. Das elektrische Verhalten der untersuchten Transistoren wird daher wesentlich durch diese parasitären Widerstände bestimmt. Ein Teil der Arbeit befaßt sich daher mit der Optimierung der ohmschen Kontakte durch Ionenimplantation und dem SALICIDE-Prozeß.

Ein generelles Problem vertikal angeordneter MOSFETs sind die im Vergleich zu konventionellen MOSFETs hohen Überlapp-Kapazitäten zwischen Gate und Source bzw. Drain (Miller-Kapazität), die das Wechselstromverhalten der Transistoren verschlechtern. Für Hochfrequenzanwendungen ist daher eine Reduzierung dieser Kapazitäten nötig. Die Gate-Source-Kapazität kann durch Beschränkung des Source-Gebietes auf einen kleinen, hochdotierten Bereich („Buried Layer“, Kapitel 5) er-

heblich reduziert werden. Ein weiterer Schwerpunkt der Arbeit liegt daher in der Entwicklung eines Prozesses zur Herstellung einer vergrabenen Schicht, auf der die Transistorstruktur epitaktisch gewachsen wird. Außerdem werden durch diesen Prozeß die Source-Kontakte der einzelnen Transistoren elektrisch voneinander isoliert.

Zum besseren Verständnis und als Basis zur Optimierung der Transistoren wurden Simulationen mit dem Programmpaket ATLAS der Firma SILVACO durchgeführt (Kapitel 8). Das Einfließen gemessener Dotierprofile, Oxiddicken und Widerstände erlaubt einen direkten Vergleich zwischen Simulation und gemessenen Werten. Da beim Herstellungsprozeß des VOXFET Gate und Kanal nicht selbstjustierend gegenüberstehen, wie das bei lateral angeordneten MOSFETs der Fall ist, wurde der Einfluß einer Gate-Kanal-Fehljustierung auf das elektrische Verhalten des Transistors untersucht.

p-Kanal-Transistoren mit Kanallängen zwischen 100 nm und 200 nm und Oxiddicken von 6 nm - 10 nm zeigten Steilheiten bis 200 mS/mm. Für die Unterschwellsteigung wurden Werte bis 115 mV/dec gemessen. Hochfrequenzmessungen an optimierten VOXFETs zeigten mit Werten bis 20 GHz die höchsten Grenzfrequenzen, die bisher mit vertikalen MOSFETs erreicht wurden.

Kapitel 2

Theoretische Grundlagen des MOSFET

In Metall-Oxid-Halbleiteranordnungen (Metall-Oxide-Semiconductor, MOS) werden Ladungsträger im Halbleiter kapazitiv gesteuert. Diese Anordnung bildet die physikalische Grundlage von MOS-Feldeffekttransistoren (MOSFET). Im folgenden werden zunächst die Grundlagen des MOS-Kondensators und des MOSFET skizziert und Kenngrößen zu deren Charakterisierung eingeführt. Die stetige Reduzierung der Kanallänge führte zu einer Reihe von elektrischen Effekten, die unter der Bezeichnung Kurzkanaleffekte zusammengefaßt werden. Diese werden am Ende des Kapitels diskutiert.

2.1 Der MOS-Kondensator

In Abbildung 2.1 sind die Bandverläufe eines MOS-Kondensators für verschiedene am Oxid anliegende Gatespannungen dargestellt. Abb. 2.1.a zeigt den Bandverlauf eines idealen MOS-Kondensators für einen n-dotierten Halbleiter (Flachbandfall). Bei Anlegen einer elektrischen Spannung an einem MOS-Kondensator werden die Bandkanten an der Si/SiO₂-Grenzfläche verbogen. Für $U > 0$ ist die Bandverbiegung derart, daß sich eine Elektronenanhäufung an der Si/SiO₂-Grenzfläche auf der Seite des Siliziums ergibt (Abb. 2.1.b). Analog entsteht für $U < 0$ an der Si/SiO₂-Grenzfläche eine Verarmung an Ladungsträgern (Abb. 2.1.c). Durch die negative Spannung am Gate werden freie Elektronen von der Si/SiO₂-Grenzfläche verdrängt. Bei weiterer Erhöhung der Spannung schneidet das intrinsische Fermi-niveau E_i das Fermi-niveau E_F (Abb. 2.1.d). In diesem Fall entsteht ein Inversionszustand („Schwache Inversion“ [14]), d.h. an der Grenzfläche entsteht eine zur Dotierung des Halbleiters invers leitende Randschicht. Dieser Feldeffekt bildet die Grundlage von MOS-Feldeffekttransistoren.

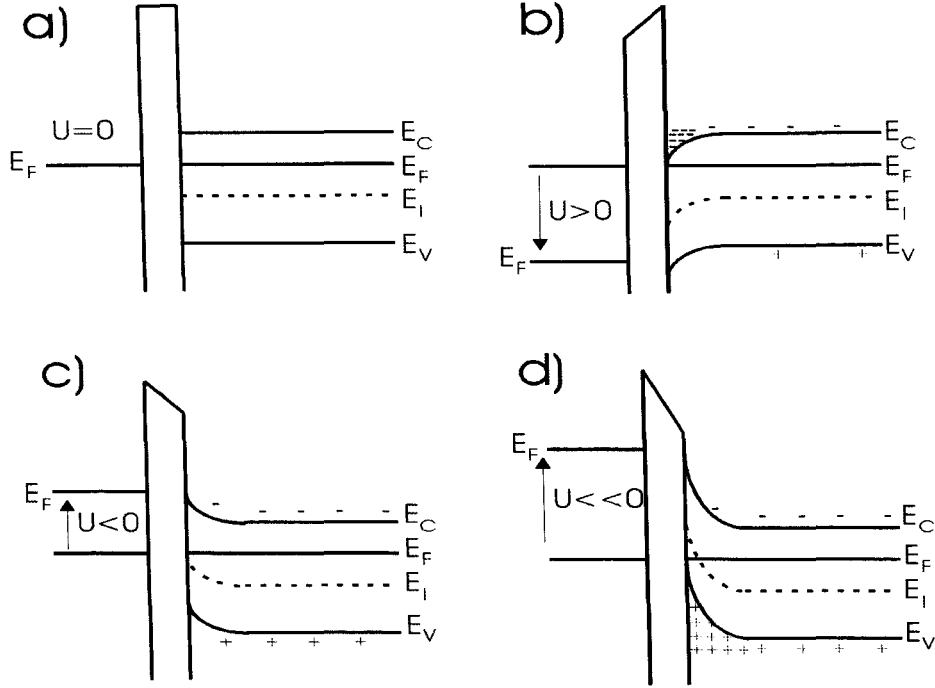


Abb. 2.1: Bandverlauf eines MOS-Kondensators für den Flachbandfall (a), den Fall von Elektronenanhäufung (b), Elektronenverarmung (c) und Inversion (d). E_C ist das Leitungsband, E_V das Valenzband, E_F das Fermi-niveau und E_i das Fermi-niveau des intrinsischen Halbleiters (nach [14]).

Die Schwellspannung (Threshold Voltage, U_{TH}) gibt an, bei welcher Spannung starke Inversion [14] einsetzt. Im Bereich der Schwellspannung bewirkt eine kleine Zunahme der Spannung bzw. der Bandverbiegung eine starke Erhöhung der Ladungsträgerdichte in der Inversionsschicht. Starke Inversion tritt auf, wenn die angelegte Spannung so groß ist, daß das elektrostatische Potential an der Halbleiteroberfläche („Oberflächenpotential Ψ_s “) einen Wert von [14]

$$\Psi_{inv} = 2(E_F - E_i) + \frac{1}{q}\Phi_{ms} = \frac{2kT}{q} \ln \frac{N_D}{n_i} + \frac{1}{q}\Phi_{ms} \quad (2.1)$$

erreicht, das Oberflächenpotential also die zweifache Differenz zwischen dem Fermi-niveau des Halbleiters (E_F) und des intrinsischen Halbleiters (E_i) überschreitet. $\frac{1}{q}\Phi_{ms}$ ist ein Korrekturterm, der die Differenz der Austrittsarbeiten von Metall und Halbleiter berücksichtigt. Für die Schwellspannung ergibt sich nach [14]:

$$U_{TH} = \frac{\sqrt{2\epsilon\epsilon_o \cdot q \cdot N_A(2\Psi_{inv})}}{C_{SiO_2}} + 2\Psi_{inv}. \quad (2.2)$$

In dieser Gleichung gibt der erste Term den Spannungsabfall am Oxid an, während der zweite Term den Spannungsabfall an der Si-Schicht beschreibt. Nach Gleichung 2.2 erhält man eine geringere Schwellspannung für dünnere Oxide. Der Betrag der

Schwellspannung steigt, wenn die Si-Dotierung erhöht wird. Dieser Effekt in Verbindung mit der Unterdrückung von Kurzkanaleffekten (s. Kap. 2.3) spielt eine große Rolle bei der Optimierung der elektrischen Eigenschaften von MOS-Feldeffekttransistoren. Aus der Ladungsbilanz ergibt sich für die Dichte der freien Ladungsträger p in der Inversionsschicht:

$$p = \frac{C_{SiO_2}}{e} (U_G - U_{TH}) \quad (2.3)$$

Dabei bezeichnet U_G die Spannung, die am Oxid anliegt (Gatespannung). In praktischen Anwendungen hat die Qualität des Oxids und der Si/SiO₂-Grenzfläche einen erheblichen Einfluß auf die elektrischen Eigenschaften des MOS-Kondensators. Dabei sind vor allem Grenzflächenzustände und Oxidladungen von Bedeutung, da diese zu einer Verschiebung der Schwellspannung führen. Zusätzlich beeinträchtigen Grenzflächenzustände die Unterschwellsteigung (s. Kapitel 2.2) der MOSFETs. Ladungen und bewegliche Ionen im Innern des Oxids können zu einer Hysterese in den elektrischen Kennlinien des MOSFET führen.

2.2 Funktionsweise und Kenngrößen des MOSFET

Ein MOS-Feldeffekttransistor entsteht aus der Verbindung zweier hochleitender Kontakte (Source und Drain) durch einen invers dotierten Bereich, dessen Ladungsträgerdichte durch das Gate gesteuert wird. In Abb. 2.2 ist ein p-Kanal-MOSFET skizziert, dessen Funktionsweise im folgenden kurz erläutert wird. Die Transistorparameter, die von Interesse sind, sind die Kanallänge L_G , deren Wert durch den geometrischen Abstand zwischen den zwei p-n-Übergängen gegeben ist, die Kanalweite W und die Dicke des Gateoxides d .

Beim Anlegen einer hinreichend hohen negativen Gatepannung U_G bildet sich eine Inversionsschicht und damit ein p-leitender Kanal zwischen Source und Drain. Wird gleichzeitig eine geringe Spannung zwischen Source und Drain U_{DS} angelegt, findet ein Stromtransport zwischen Source und Drain statt (Abb. 2.2.a). Der Inversionskanal dient dabei als steuerbarer Widerstand, da die Inversionsladung und damit der Drainstrom I_D mit zunehmender Gatespannung zunimmt. Im Bereich kleiner Source-Drain-Spannungen steigt der Drainstrom linear mit der Drainspannung an.

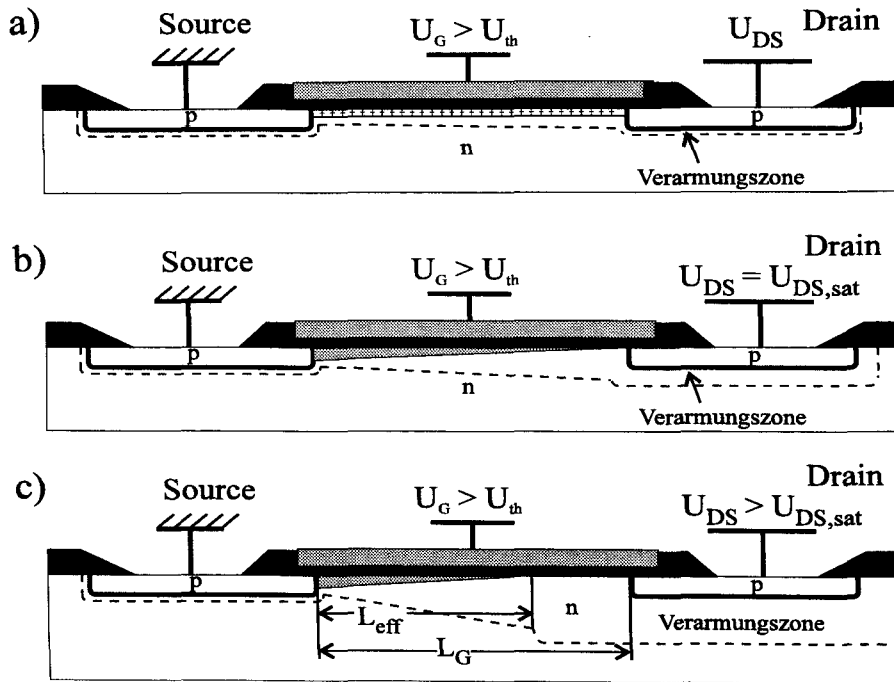


Abb. 2.2: Verhalten eines p-Kanal-MOSFET bei verschiedenen Source-Drain-Spannungen. Für kleine Beträge der Spannungen U_{DS} ($U_{DS} < U_{DS,sat}$) ist der Kanal auf seiner gesamten Länge ausgebildet (a). Bei $U_{DS} = U_{DS,sat}$ schnürt der Kanal am drainseitigen Ende ab (b). Steigt U_{DS} auf Werte über $U_{DS,sat}$, verkürzt sich die Kanallänge auf die effektive Kanallänge L_{eff} (c).

Für einen idealen MOSFET, d. h. unter den Annahmen, daß keine Oxidladungen, keine Unterschiede in den Austrittsarbeiten des Gatekontaktmaterials und des Siliziums, eine konstante Löcherbeweglichkeit und eine homogene Dotierung im Kanal vorliegen, und daß das elektrische Feld senkrecht zum Kanal größer ist als das elektrische Feld parallel zum Kanal, ergibt sich im linearen Bereich (Abb. 2.3.I) für den Drainstrom I_D [14]:

$$I_D = \frac{W}{L_G} \cdot \mu_h \cdot C_{SiO_2} \cdot (U_G - U_{TH}) \cdot U_{DS} \quad \text{für } |U_{DS}| \ll |U_G - U_{TH}| \quad (2.4)$$

Ist $|U_{DS}| > |U_G - U_{TH}| = |U_{DS,sat}|$, geht die Inversion am drainseitigen Ende des Kanals verloren, da die Spannung unter die Schwellspannung der Inversion fällt (Pinch-Off, Abb. 2.2.b und c). Dies führt zu einer Sättigung des Drainstromes („Sättigungsbereich“, Abb. 2.3.II) gemäß [14]:

$$I_{D,sat} = \frac{W}{L_G} \cdot \mu_h \cdot C_{SiO_2} \cdot (U_G - U_{TH})^2 \quad (2.5)$$

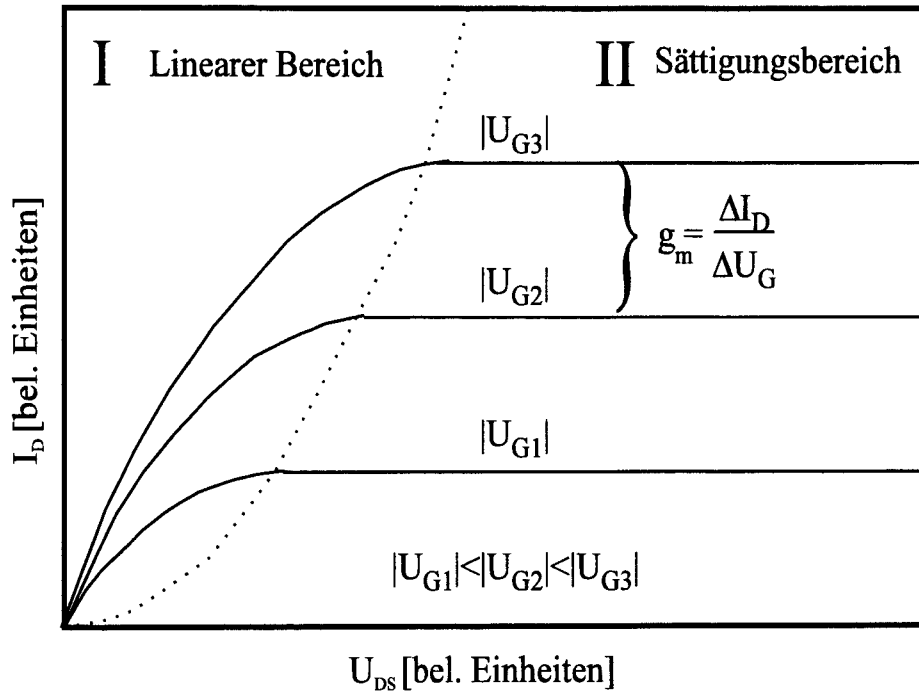


Abb. 2.3: Ausgangskennlinienfeld eines MOSFET (nach [12])

Eine wichtige Größe zur Charakterisierung der Gleichstromeigenschaften eines Transistors ist die Steilheit g_m . Sie ist definiert als

$$g_m = \left. \frac{\partial I_D}{\partial U_G} \right|_{U_{DS}=\text{const.}} \quad (2.6)$$

und ist ein Maß für das Steuerverhalten des Transistors. Um die Werte von Transistoren unterschiedlicher Geometrie miteinander vergleichen zu können, wird die Steilheit auf die Kanalweite normiert. Im linearen Bereich der Ausgangskennlinien folgt:

$$g = \frac{g_m}{W} = \frac{\mu_h \cdot C_{SiO_2}}{L_G} \cdot U_{DS} \quad (2.7)$$

und für den Sättigungsbereich:

$$g = \frac{g_m}{W} = \frac{2}{L_G} \cdot \mu_h \cdot C_{SiO_2} \cdot (U_G - U_{TH}). \quad (2.8)$$

Demnach erhält man hohe Steilheiten für kurze Kanallängen und hohe Oxid-Kapazitäten. Daraus ergibt sich das Bestreben, Kurzkanal-MOSFETs mit möglichst dünnen Gateoxiden zu entwickeln [15, 17]. Eine untere Grenze für die Oxiddicke liegt bei etwa 3 nm, ab der quantenmechanische Tunnelströme einsetzen [15, 17].

Für Speicherchips und Logikanwendungen ist auch das Verhalten der MOSFETs bei Gatespannungen unterhalb der Schwellspannung von Interesse. Für leicht negative Gatespannungen liegt in einem p-Kanal MOSFET schwache Inversion vor, und der Drainstrom zeigt für eine konstante Source-Drain-Spannung eine exponentielle Abhängigkeit von der Gatespannung. Dieser Unterschwellbereich beschreibt das Einschaltverhalten des Bauelements. Zur Charakterisierung benutzt man die Unterschwellsteigung, die angibt, um welchen Wert die Gatespannung variiert werden muß, damit der Drainstrom um einen Faktor 10 ansteigt [14].

2.3 Kurzkanaleffekte

Eine Reduzierung der Kanallänge bewirkt durch die entstehende räumliche Nähe von Source, Gate und Drain und die damit verbundene gegenseitige Beeinflussung des Potentialverlaufs folgendes Verhalten („Kurzkanaleffekte“ [14, 16, 18]):

- Die Ausgangskennlinien zeigen bei kurzen Kanallängen ein schlechtes Sättigungsverhalten. Auch im Sättigungsbereich steigt der Drainstrom mit zunehmender Source-Drain-Spannung leicht an.
- Die Schwellspannung ist nicht mehr konstant, sondern hängt von der anliegenden Drain-Source-Spannung ab.
- Die Unterschwellsteigung und damit das Schaltverhalten des Transistors verschlechtern sich.

Da in MOSFETs mit kurzen Kanallängen die Raumladungszonen von Source und Drain nahe beieinander liegen, beeinflußt das Drainpotential auch den Source-Bereich. Die Erniedrigung der Potentialbarriere bewirkt sowohl im Unterschwellbereich als auch im Sättigungsbereich eine Erhöhung des Drainstromes. Dieser Effekt wird draininduzierte Barriererniedrigung (Drain Induced Barrier Lowering, DIBL) genannt [18, 19, 21]. Die DIBL bewirkt auch eine Abhängigkeit der Schwellspannung von der Drain-Source Spannung: Mit zunehmender Drain-Source Spannung wird die Schwellspannung zu kleineren Werten hin verschoben.

Ein weiterer Kurzkanaleffekt ist der Durchgriff („Punch-Through“). Dieser entsteht, wenn sich die Raumladungszonen an den source- und drainseitigen p-n-Übergängen überlappen. Dann können die Majoritätsträger vom Source aus in die Raumladungszone injiziert werden und das Drain erreichen. Zur Vermeidung des Punch-Through müssen die von Source und Drain ausgehenden Raumladungszonen kleiner sein als der Abstand zwischen source- und drainseitigem p-n-Übergang [14, 20, 22].

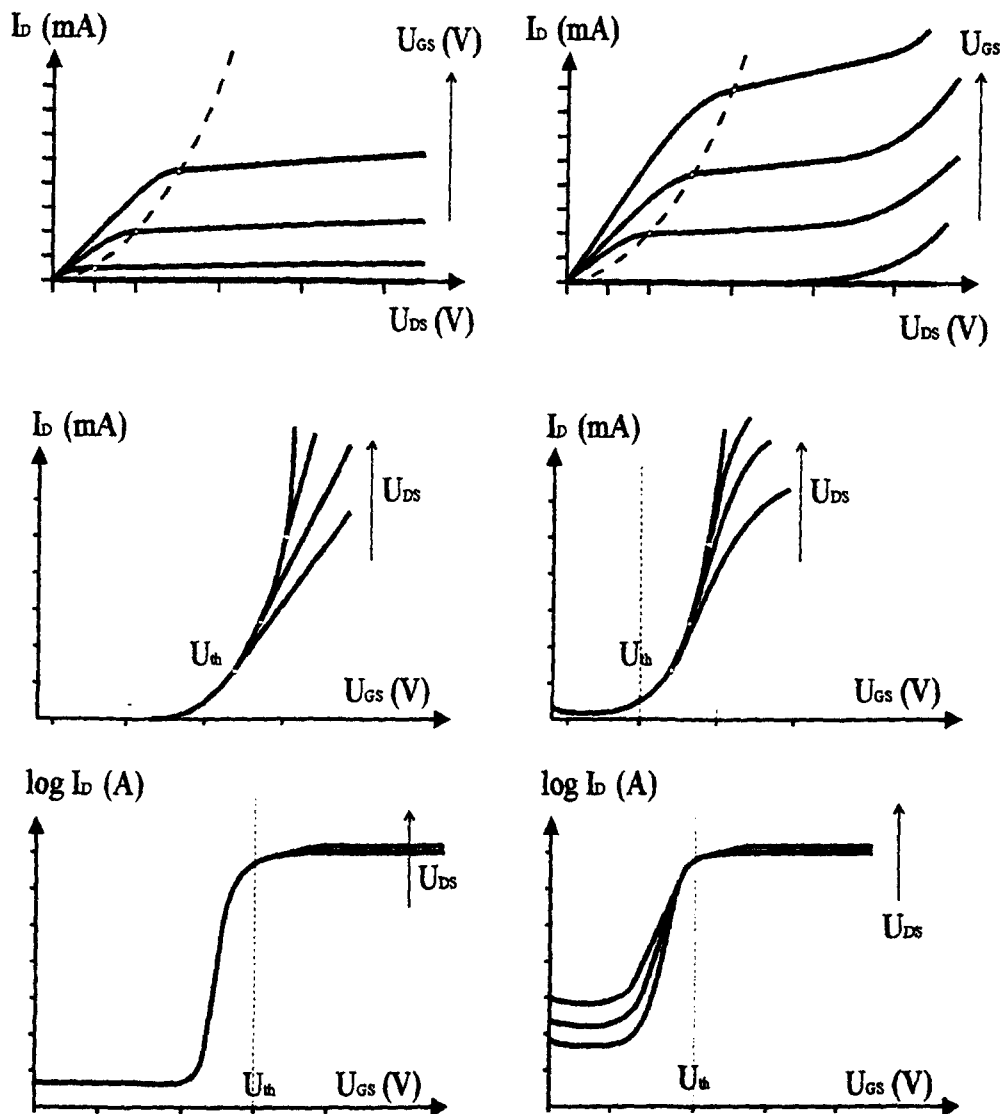


Abb. 2.4: Kennlinienvergleich zwischen Langkanal- (links) und Kurzkanaltransistor (rechts)

Hier bietet die selektive Epitaxie zur Herstellung von vertikalen MOSFETs den Vorteil des Facettenwachstums (Kapitel 4). Das Facettenwachstum bewirkt, daß die p-n-Übergänge in der Strukturmitte weiter auseinander liegen als am Rand, wo sich der Inversionskanal bildet. Dadurch wird der Punch-Through zu höheren Spannungen verschoben, während gleichzeitig der parasitäre Stromanteil abnimmt.

Bei kurzen Kanallängen können hohe Feldstärken im Inversionskanal erreicht werden. Dann ist die Ladungsträgerbeweglichkeit nicht mehr konstant. Diese steigt mit zunehmender Feldstärke immer langsamer an, bis bei $E \approx 10^5 \text{ V/cm}$ eine Sättigungsgeschwindigkeit ($v_{sat} \approx 1 \times 10^7 \text{ cm/s}$) erreicht wird. Bei hohen Feldstärken führt dann nicht mehr der Pinch-Off, sondern auch die Sättigungsgeschwindigkeit zum Sättigungsverhalten des Drainstroms. Dieser ist dann gegeben durch [14]:

$$I_{D,sat} = W \cdot C_{SiO_2} \cdot (U_G - U_{TH}) \cdot v_{sat}. \quad (2.9)$$

Die auf die Kanalweite normierte Steilheit wird:

$$g = \frac{1}{W} \frac{\partial I_{D,sat}}{\partial U_G} = C_{SiO_2} \cdot v_{sat}. \quad (2.10)$$

In Abschnitt 2.2 wurden die elektrischen Eigenschaften eines idealen MOSFET diskutiert. Dabei wurde vorausgesetzt, daß das vom Gatekontakt induzierte elektrische Feld E_x wesentlich größer ist als das vom Source-Drain induzierte Feld E_y , das parallel zum Inversionskanal steht. Diese als Gradual-Channel-Näherung [45] bezeichnete Voraussetzung ist für MOSFETs mit kurzen Kanallängen nicht mehr erfüllt. Stattdessen hat die Potentialverteilung im Kanal einen zweidimensionalen Charakter und wird sowohl durch E_x als auch durch E_y beeinflusst.

Um die Kurzkanaleffekte möglichst gering zu halten, werden bei der Herstellung von MOSFET-Strukturen mit kurzen Kanallängen ausgehend von Langkanal-MOSFETs alle Bauelementparameter nach bestimmten Regeln skaliert [14, 15, 17].

Kapitel 3

Vertikale MOSFETs

Ein vielversprechender Ansatz, das Problem der begrenzten Auflösung der optischen Lithographie zur Definition der immer kürzer werdenden Kanallänge zu lösen, besteht in der Entwicklung von MOSFETs mit vertikalem Layout. Bei diesen wird die Kanallänge nicht photolithographisch, sondern durch die Dicke einer epitaktisch gewachsenen Schicht definiert. Im Rahmen eines vom Bundesministerium für Bildung, Wissenschaft, Forschung und Technologie (BMBF) geförderten Verbundprojekts („NANOMOS“) wurden MOS-Feldeffekttransistoren mit vertikalem Layout und Kanallängen unter 100 nm entwickelt. An diesem Projekt beteiligt waren neben dem Institut für Schicht- und Ionentechnik (ISI) des Forschungszentrums Jülich auch der Lehrstuhl für elektronische Bauelemente der Ruhr-Universität Bochum, die Fakultät für Elektrotechnik der Universität der Bundeswehr in München und als Industriepartner die Zentralabteilung Forschung und Entwicklung, Abteilung Mikroelektronik, der Siemens AG in München. In diesem Kapitel werden die Eigenschaften von MOSFETs mit vertikalem Layout diskutiert und die zwei Konzepte vorgestellt, die im Rahmen dieser Arbeit untersucht wurden.

3.1 Eigenschaften vertikaler MOSFETs

Vertikale Feldeffekttransistoren entsprechen in ihrer Funktionsweise den lateral angeordneten Transistoren. Der Begriff „vertikal“ bezieht sich auf die Flußrichtung des elektrischen Stromes. Dieser fließt senkrecht zum Substrat von Source nach Drain und nicht parallel wie bei konventionellen MOSFETs. Daraus ergibt sich eine charakteristische Bauweise, die ein Über- statt Nebeneinanderliegen von Source- und Drainkontakten zur Folge hat.

Bei lateralen Transistoren wird die Kanallänge durch lithographische Verfahren und die Kanalbreite durch die Dicke der gewachsenen epitaktischen oder implantierten Schicht definiert. Bei vertikalen Transistoren ist es umgekehrt: Die Kanallänge wird durch die Dicke einer epitaktisch gewachsenen Schicht und die Kanalbreite durch Lithographie festgelegt. Bei lateralen MOSFETs werden die Begriffe Kanallänge und

Gatelänge i.a. synonym benutzt. Demgegenüber wird im Rahmen dieser Arbeit der Begriff Kanallänge für den Abstand der beiden p-n-Übergänge und der Begriff Gatelänge für die Dicke des Polysiliziumgates benutzt. Diese Unterscheidung wird für den VOXFET (s. Kapitel 3.3) relevant, da hier Kanal- und Gatelänge unabhängig voneinander definiert werden.

Da die Transistorstruktur vertikaler MOSFETs epitaktisch gewachsen wird, können extrem kurze Kanallängen erreicht werden. So wurden Transistoren mit einer Kanallänge von unter 50 nm hergestellt [23]. Außerdem erlaubt das epitaktische Wachstum die Erzeugung sehr steiler Dotierprofile („ δ -Dotierung“ [22]). Neben der Optimierung des Dotierprofils bietet die Epitaxie aber auch die Möglichkeit, durch Beimischung eines Germaniumanteils die Eigenschaften des Transistors zu verbessern. So kann zum Reduzieren des Sperrstromes eine $\text{Si}_x\text{Ge}_{1-x}$ -Schicht ins Source integriert werden, die eine Barriere für Löcher darstellt [24]. Außerdem kann für p-Kanal-MOSFETs ein $\text{Si}_x\text{Ge}_{1-x}$ -Kanal benutzt werden, um die Beweglichkeit der Löcher im Kanal zu erhöhen.

Ein weiterer Vorteil der vertikalen Anordnung der Transistoren besteht in der Erhöhung der Integrationsdichte. Bei gleicher Auflösung der Lithographie läßt das vertikale Layout eine Erhöhung der Packungsdichte um den Faktor 2,4 erwarten [6]. Das vertikale Layout erlaubt auch die Anordnung mehrerer Transistoren übereinander und eröffnet somit die Möglichkeit der 3D-Integration. Besonders interessant für CMOS-Anwendungen ist das Wachsen komplementärer Transistoren übereinander (CMOS-Inverter). Das Konzept der Einbeziehung der dritten Dimension wird bei passiven Bauelementen bereits bei den Grabenkondensatoren in DRAMs angewendet [25].

Die Siemens AG konnte als erster Projektpartner ihr vertikales Konzept (Vertical-MOS) realisieren [6, 26]. Dieses Konzept beruht auf ganzflächiger Epitaxie. Nachteil dieses Konzeptes ist, daß bei der Rückätzung der Flanken mittels reaktiver Ionen (RIE, s. Kapitel 6) die Seiten, an denen das Gateoxid gebildet wird, geschädigt werden [29, 30]. Diese Schädigung kann vermieden werden, wenn man statt ganzflächiger Epitaxie selektives Wachstum nutzt (s. Kapitel 4). Dieser Ansatz ist beim V-FET und VOXFET verfolgt worden.

3.2 Das V-FET-Konzept

Beim V-FET wird die Transistorstruktur mittels selektiver Epitaxie in Oxidfenster eingewachsen. Dazu wird das Substrat mit einer Siliziumdioxid-Schicht maskiert, und nur dort, wo nachher die Epitaxie wachsen soll, werden Fenster im Oxid geöffnet. Die Transistorstruktur kann nun in das Fenster eingewachsen werden, ohne daß Silizium auf dem Oxid deponiert wird. Dieses wird um die epitaktisch gewachsene

Transistorstruktur herum naßchemisch entfernt, so daß die Flanke der Mesa nicht geschädigt wird. Anschließend wird durch eine thermische Oxidation das Gateoxid erzeugt und das als Gateelektrode dienende Polysilizium deponiert. Die Elektroden werden durch eine Spacertechnologie voneinander isoliert. Abschließend werden die Kontakte angebracht. Abb.3.1 zeigt das Layout des fertigen Transistors.

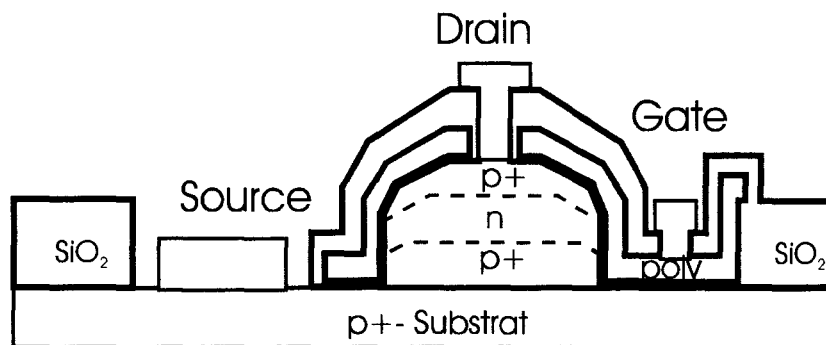


Abb. 3.1: Layout des V-FET

Ein Nachteil des vertikalen Layouts sind die hohen Überlappkapazitäten zwischen Gate und Source C_{GS} bzw. zwischen Gate und Drain C_{GD} . Das Polysilizium, das als Gateelektrode dient, ist nur durch das dünne Gateoxid von Source bzw. Substrat getrennt. Die daraus resultierende hohe Eingangskapazität limitiert das Hochfrequenzverhalten des Transistors, da ein hoher parasitärer Strom zwischen Source und Gate fließt. Andererseits führt die Gate-Drain-Kapazität C_{GD} zu einer unerwünschten Rückkopplung zwischen Drain und Gate („Miller-Effekt“). Deshalb ist es notwendig, die Überlappkapazitäten zu minimieren. Dazu wurde - als Weiterentwicklung des V-FET - ein Konzept mit wesentlich kleineren Überlappkapazitäten entwickelt: der VOXFET.

3.3 Das VOXFET-Konzept

Die Weiterentwicklung des V-FET führte zur Entwicklung des VOXFET. Es ist im Rahmen des NANOMOS-Verbundes das technologisch anspruchsvollste Layout. Wie der V-FET basiert der VOXFET auf dem Einsatz selektiver Epitaxie. Im Gegensatz zu diesem wird jedoch beim VOXFET die Transistorstruktur nicht in ein Oxidfenster eingewachsen, sondern in einen Schichtstapel aus SiO_2 , Polysilizium und SiO_2 . Die Flanken der Fenster werden vor der Epitaxie mit einem dünnen Oxid ausgekleidet, das als Gateoxid dient. Die Gateelektrode (das Polysilizium) und das Gateoxid sind also bereits vor der Epitaxie vorhanden. Die für die elektrischen Eigenschaften eines MOSFET wichtige Si- SiO_2 -Grenzfläche entsteht hier beim selektiven Wachstum. Damit unterscheidet sich die Prozeßführung des VOXFET von der der

anderen (vertikalen und lateralen) MOS-Konzepte, bei denen das Gateoxid durch thermische Oxidation der Transistorstruktur erzeugt wird.

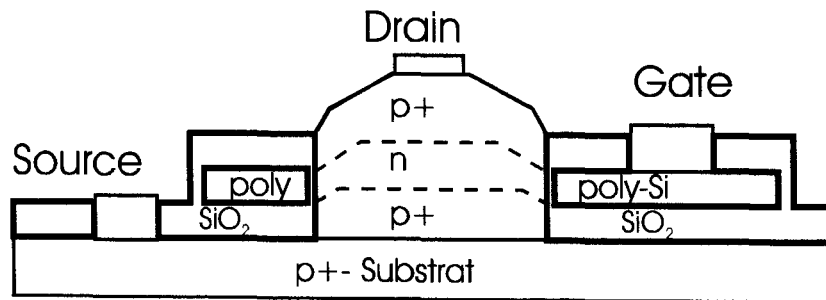


Abb. 3.2: Layout des VOXFET

Gegenüber dem V-FET hat das Layout des VOXFET folgende Vorteile:

- Die Überlappkapazitäten zwischen Gate und Source bzw. Drain sind wesentlich kleiner, wodurch der Transistor bessere Hochfrequenzeigenschaften zeigt (s. Kapitel 7).
- Der konsequente Schichtaufbau erleichtert die 3D-Integration.
- Durch den Schichtaufbau sind die im Fertigungsprozeß auftretenden Höhenunterschiede kleiner als beim V-FET. Das erleichtert die optische Lithographie zur Definition der lateralen Strukturen.

Diesen Vorteilen steht der Nachteil der aufwendigeren Prozessierung gegenüber. Durch die Vielzahl der Prozessschritte vor der Epitaxie kann deren Qualität leiden.

Kapitel 4

Epitaxie

4.1 Die Si-LPCVD

Das selektive epitaktische Wachstum für die in dieser Arbeit untersuchten Transistoren erfolgte in einer LPCVD (Low Pressure Chemical Vapour Deposition) der Firma ASM [27]. Der Reaktor der Anlage setzt sich aus einem Quarzrohr und einem darin befindlichen Linerrohr zusammen. Die Proben ruhen während der Epitaxie auf einem SiC-beschichteten Graphithalter, der über eine Schleuse beladen werden kann.

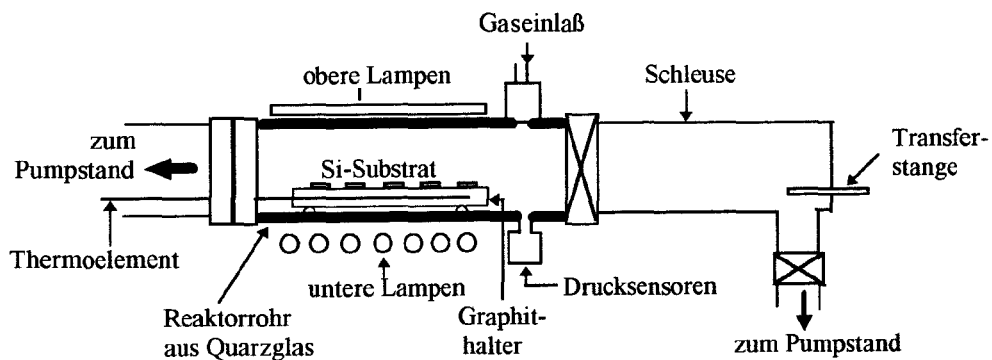


Abb. 4.1: Schematische Darstellung des LPCVD-Reaktors (nach [28])

Die Heizung der Proben erfolgt durch Halogenlampen, die ober- und unterhalb des Reaktors angebracht sind. Im Probenhalter sind Thermoelemente angebracht, mit denen die Temperatur gemessen werden kann. Über eine Regeltechnik läßt sich damit die Leistung der Lampen so steuern, daß Temperaturkonstanz gewährleistet ist.

Die Überwachung des Prozeßdruckes in der Anlage erfolgt über drei Drucksensoren, die den kompletten Druckbereich von 10^{-3} bis 760 Torr abdecken. Eine Ionisationsmeßröhre steht zur Kontrolle des Enddruckes von 2×10^{-7} Torr zur Verfügung. Das Pumpsystem besteht aus zwei Linien, wovon die eine den Prozeßdruck während der Epitaxie aufrechterhält, während die andere zum Beispiel zum Wechseln der Prozeßgase bis auf den Enddruck abpumpt.

Durch ein Gasversorgungssystem können die Prozeßgase SiCl_2H_2 , GeH_4 , PH_3 und B_2H_6 mit Wasserstoff als Trägergas in die Anlage geleitet werden. Stickstoff kann als Spülgas verwendet werden. Die toxischen und aggressiven Prozeßgasreste werden, nachdem sie den Reaktor verlassen haben, in einem Gaswäscher chemisch gebunden.

4.2 Grundlagen des epitaktischen Wachstums

Bei einem LPCVD-Prozeß werden Gase in einen Reaktor geleitet, in dem eine Abfolge chemischer Reaktionen zur Schichtdeposition führt (Abb. 4.2). Zunächst erfolgen eine Vorzerlegung der Reaktanden in der Gasphase und die Diffusion der Zerlegungsprodukte zur Substratoberfläche. An der Oberfläche können die Reaktanden dann adsorbieren und auf der Oberfläche diffundieren. Eine weitere Zerlegung der Reaktanden führt zum Einbau von Silizium an der Oberfläche. Die übrigen Reaktionsprodukte können von der Substratoberfläche desorbieren und über die Gasphase aus dem Reaktor transportiert werden.

Der Wachstumsprozeß besteht aus einer Folge von Prozessen in der Gasphase und an der Oberfläche. Je nachdem, welche Prozesse langsamer verlaufen, unterscheidet man drei Wachstumsbereiche [31, 33]:

- Bei niedrigen Temperaturen wird das Wachstum durch die Prozesse auf der Oberfläche bestimmt („kinetisch limitiertes Wachstum“ [33, 34]). Die Wachstumsrate ist exponentiell von der Temperatur abhängig.
- Bei höheren Temperaturen werden die Prozesse an der Oberfläche so schnell, daß sie ihren limitierenden Charakter verlieren. Das Wachstum wird dann durch den Massentransport in der Gasphase limitiert. Die Wachstumsrate ist nur schwach von der Temperatur abhängig [35].
- Bei sehr hohen Temperaturen wird das Wachstum durch thermodynamische Effekte bestimmt.

Wird als Prozeßgas Dichlorsilan (SiCl_2H_2) in einem Kaltwandreaktor benutzt, kann das Wachstum mit folgendem Modell beschrieben werden [36]: Der Anteil des SiCl_2H_2 , der in der Gasphase zerlegt wird, ist zu vernachlässigen, da die Wachstumstemperatur nur im Bereich der Substrate gegeben ist. Das Dichlorsilan physisorbiert an der Oberfläche [37] und kann dort desorbieren oder chemisch zu $\text{Si}_{(ad)} + 2\text{H}_{(ad)} + 2\text{Cl}_{(ad)}$ reagieren. Der entstandene Wasserstoff desorbiert als H_2 oder mit dem Chlor als HCl . Das Chlor wiederum kann mit Si als SiCl_2 desorbieren. Welche der Reaktionen stattfinden, hängt von den Wachstumsparametern wie Temperatur und Partialdrücken der einzelnen Gase ab. Bei geeigneter Wahl der Wachstumsparameter kommt es zu epitaktischem Wachstum auf der Siliziumoberfläche.

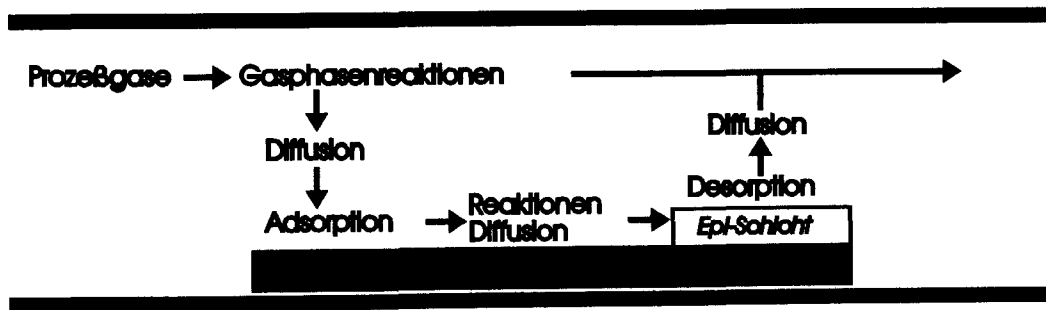


Abb. 4.2: Prozesse in der Gasphase und an der Substratoberfläche bei der LPCVD (nach [32])

Zur in situ Dotierung der Schichten werden Diboran (B_2H_6) für die p-Dotierung und Arsin (AsH_3) oder Phosphin (PH_3) für die n-Dotierung benutzt [38]. Bei Temperaturen zwischen 600 °C und 900 °C ist der Einbau der Dotierstoffe kinetisch limitiert. Die Konzentration des Bors in der Epitaxieschicht ist proportional zum Diboranfluß während des Wachstums [39]. Phosphor hat einen Haftkoeffizient auf Silizium von nahezu 1. Die phosphorbedeckte Oberfläche kann die Adsorption der übrigen Prozeßgase behindern, so daß sich das Wachstum verlangsamt. Für geringe Phosphinflüsse ist die Dotierung ebenfalls linear vom Gasfluß abhängig. Für hohe Flüsse zeigt sich ein Sättigungseffekt, da der Phosphor nicht mehr vollständig im Kristallgitter einbaut wird. Bei Temperaturen oberhalb von 550 °C desorbiert der Phosphor wieder und lagert sich an anderer Stelle im Reaktor ab, von wo aus er später wieder desorbieren kann („Memoryeffekt“). Bei der Verwendung von Arsin kann ein ähnliches Verhalten beobachtet werden.

4.3 Selektive Epitaxie und Facettenwachstum

Die LPCVD ermöglicht selektives Wachstum. Dazu werden die Substrate mit einer strukturierten Oxidschicht maskiert. Bei geeigneter Wahl der Wachstumsparameter wächst nur an den Stellen, an denen das Substrat freiliegt, eine epitaktische Schicht an, während auf der Siliziumdioxidoberfläche keine Deposition stattfindet.

Auf der Oxidoberfläche bilden sich während des Wachstums Kristallite, die aber erst ab einer bestimmten kritischen Größe stabil werden [34]. Das Wachstum dieser Kristallite hängt von den Adsorptions- und Desorptionsraten ab. Ist die Desorptionsrate genügend hoch oder die Adsorptionsrate genügend klein, so erreichen die Kristallite niemals die kritische Größe, so daß die Deposition auf dem Siliziumdioxid unterdrückt wird [40]. Da sich die Adsorptions- und Desorptionsraten auf dem Silizium und dem Oxid jedoch unterscheiden, kommt es gleichzeitig auf dem Silizium zu epitaktischem Wachstum.

Bei der selektiven Epitaxie in der LPCVD kommt es am Rand der Wachstumsgebiete zur Ausbildung von Facetten. Facetten sind Flächen mit unterschiedlichen kristallographischen Orientierungen. In Abb. 4.3 ist eine schematische Darstellung des Facettenwachstums zu sehen.

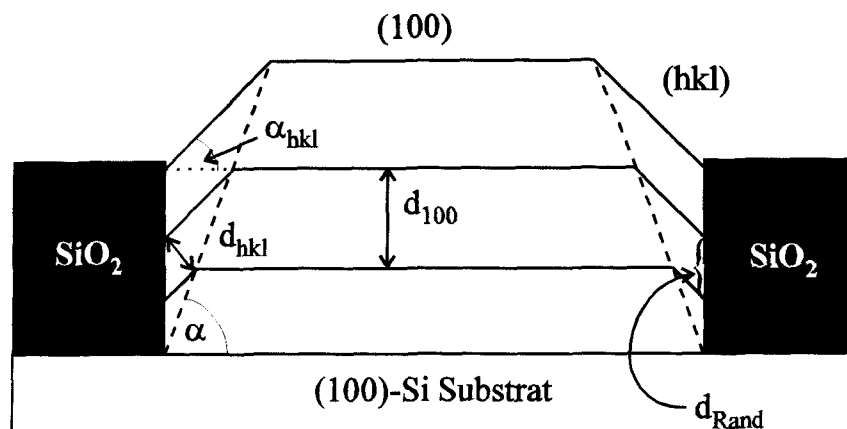


Abb. 4.3: Schematische Darstellung des Facettenwachstums auf einem (100)-Silizium Substrat. Während in der Mitte der epitaktischen Schicht die Oberflächenorientierung der des Substrates entspricht, kommt es am Rand zu Facettenwachstum. Der Winkel zwischen den Facetten ist durch die kristallographischen Orientierungen gegeben, während der Winkel α von dem Verhältnis der Wachstumsraten der einzelnen Facetten abhängt [44].

Facetten bilden sich, da dadurch die Gesamtenergie des Systems minimiert wird. Zu dieser tragen nicht nur die Oberflächenenergie des Systems [41, 42], sondern auch noch unabgesättigte Siliziumbindungen bei, die durch das selektive Wachstum an

der Grenzfläche zwischen Silizium und Oxid entstehen [42]. Somit können sich auch Facetten mit höherer Oberflächenenergie bilden, z.B. die $\{311\}$ -Facette, die eine höhere Oberflächenenergie hat als die $\{111\}$ -Facette [43].

Durch das Facettenwachstum ist die Dicke der epitaktischen Schicht am Rand dünner als in der Mitte. Das Verhältnis der Dicken hängt von dem Verhältnis der Wachstumsraten $\frac{R_{100}}{R_{hkl}}$ der Facetten ab. Mit den Bezeichnungen aus Abb. 4.3 gilt nach [44]:

$$\tan(\alpha) = \frac{\sin(\alpha_{hkl})}{\cos(\alpha_{hkl}) - \frac{R_{hkl}}{R_{100}}}. \quad (4.1)$$

Für die Randdicke ergibt sich:

$$d_{Rand} = \frac{1}{\cos(\alpha)} \cdot \frac{R_{hkl}}{R_{100}} d_{100}. \quad (4.2)$$

Kapitel 5

Wachstum auf lokal implantierten Substraten

5.1 Ionenimplantation in Silizium

Ein Standarddotierverfahren der Halbleitertechnologie ist die Ionenimplantation. Hierbei werden die Dotanten zunächst ionisiert, dann in einem elektrischen Feld beschleunigt und auf den zu dotierenden Halbleiter gerichtet, in dem sie durch Stöße mit den Atomen des Substratmaterials ihre Energie verlieren und schließlich zur Ruhe kommen. Das Verfahren der Ionenimplantation bietet gegenüber den Diffusionstechnologien [46] einige Vorteile, so z. B.:

- Die genaue Einstellung der Dosis über die Messung der dem Substrat während der Implantation zugeführten Ladung
- Die Einstellung des Tiefenprofils der Dotierung über die Beschleunigungsspannung
- Einen einheitlichen, reproduzierbaren Dotierverlauf über den ganzen Wafer

Die Einstellung des Tiefenprofils erfordert die Kenntnis des Energieverlustes dE/dx bzw. der Energie-Reichweite-Relation für die entsprechenden Ionen im Si-Substrat. Da die Energie der implantierten Ionen vom Kristall des Substrats absorbiert wird, kann es je nach Ionenart, Implantationsenergie und -dosis zu mehr oder weniger großen Schädigungen des Kristallgitters kommen („Strahlenschäden“). Der Halbleiter muß nach der Implantation einer Temperaturbehandlung unterzogen werden, um die Schäden so gut wie möglich auszuheilen und die implantierten Ionen auf Gitterplätzen elektrisch aktiv einzubauen. Im Rahmen dieser Arbeit ist ein gutes Ausheilen der Strahlenschäden insbesondere in Oberflächennähe von Bedeutung, da hierauf die Transistorstruktur epitaktisch gewachsen wird. Das epitaktische Wachstum auf implantierten Substraten wird in Kapitel 5.2 diskutiert.

5.1.1 Grundlagen der Ionenimplantation

Die implantierten Ionen treten in Wechselwirkung mit den Gitteratomen des Si-Kristalls. Das führt zu einem Energieverlust der Ionen und zu einem Energiegewinn der Gitteratome. Wenn die den einzelnen Atomen zugeführte Energie eine charakteristische Schwellenenergie überschreitet, kommt es zu einer Schädigung des Kristallgitters. Der Abbremsvorgang der Ionen ist ein stochastischer Prozeß, so daß die Reichweite der einzelnen Ionen einer Wahrscheinlichkeitsfunktion genügen [47, 48].

Für die Abbremsung der Ionen im Si-Kristall (und damit die Reichweitenverteilung) sind im wesentlichen zwei Mechanismen verantwortlich: zum einen inelastische Stöße der Ionen mit den Si-Elektronen („elektronischer Energieverlust“). Dieser Teil des Stoßes ist auf Ionisierungseffekte und Elektronenanregungen zurückzuführen und wird durch den elektronischen Bremsquerschnitt $S_E(E)$ berücksichtigt. Zum anderen elastische Stöße mit den Si-Kernen („nuklearer Energieverlust“), die zur Versetzung der Kristallatome führen. Die Prozesse können als unabhängig voneinander angesehen werden.

Die Bremsquerschnitte für Ionen der Energie E sind von Lindhardt, Scharff und Schiott unter Berücksichtigung eines Thomas-Fermi-Potentials berechnet worden (LSS-Theorie [49]). Danach erhält man für den elektronischen Bremsquerschnitt [47]:

$$S_e(E) = -\frac{1}{N} \left(\frac{dE}{dx} \right)_e = k_e \sqrt{E} \quad (5.1)$$

und für den Bremsquerschnitt durch Kernstöße [47]:

$$S_n(E) = -\frac{1}{N} \left(\frac{dE}{dx} \right)_n = \int_0^{T_m} T_n d\sigma(E, T_n) \quad (5.2)$$

Dabei bezeichnet N die atomare Dichte, T den Energieübertrag und σ den differentiellen Wirkungsquerschnitt. T_m ist die maximal übertragbare Energie bei zentralem Stoß. Bei bekanntem $S_E(E)$ und $S_N(E)$ erhält man die mittlere Gesamtweglänge R eines Ions der Anfangsenergie E_0 durch Integration:

$$R = \frac{1}{N} \int_0^{E_0} \frac{dE}{S_n(E) + S_e(E)} \quad (5.3)$$

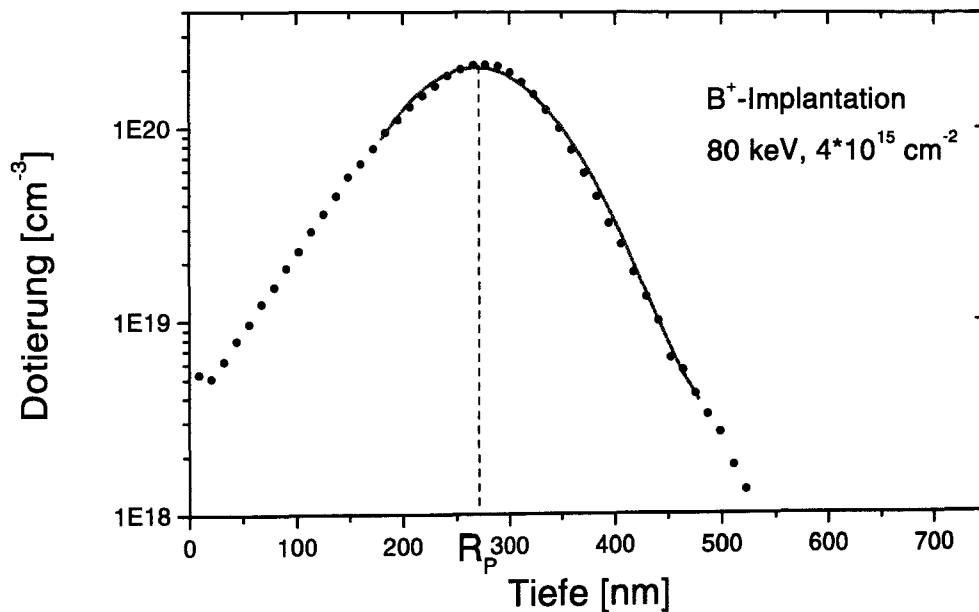


Abb. 5.1: Bor-Verteilung nach einer Ionenimplantation bei 80 keV (SIMS-Messung). Die Reichweitenverteilung läßt sich gut durch eine Gaußverteilung annähern (durchgezogene Linie).

Die Reichweiteverteilung der implantierten Ionen ergibt sich aus den Werten der mittleren Reichweite R_P , der Standardabweichung ΔR_P und der implantierten Dosis N_0 zu [47]:

$$N(x) = \frac{N_0}{\sqrt{2\pi}\Delta R_P} \exp \left[-\frac{(x - R_P)^2}{2\Delta R_P^2} \right] \quad (5.4)$$

Die Herleitungen beruhen auf der Annahme eines amorphen Substrats. Werden bei der Implantation in monokristallines Silizium die Ionen längs einer Kristallachse in die Probe geschossen, so dringen sie erheblich tiefer ein als bei mit dem Kristallgitter unkorrelierter Einstrahlungsrichtung („Channeling“). Dieser Effekt wird im Zusammenhang mit der RBS-Spektroskopie ausführlicher diskutiert (Kapitel 6.2). Um Channeling zu verhindern, wurden alle im Rahmen dieser Arbeit durchgeführten Implantationen unter einem Winkel von 7° gegenüber der Oberflächennormalen vorgenommen.

5.1.2 Ausheilen und elektrische Aktivierung

Durch die Abbremsung der implantierten Ionen im Si-Kristall werden - je nach Energie und Masse der implantierten Ionen - Atome von ihren Gitterplätzen versetzt. Die versetzten Atome können selbst andere Atome versetzen, so daß es zu einer Kaskade von Stößen kommt [47]. Die Folge ist eine lokale Erhöhung der Leerstellen und Zwischengitteratome (Frenkeldefekte), die zu komplexen Defekten zusammenwachsen können (Cluster) und als Strahlenschäden bezeichnet werden. Das Ausmaß der Strahlenschäden hängt neben der Energie auch wesentlich von der Dosis der implantierten Ionen ab. Nach der Implantation muß der Probe Energie zugeführt werden, um die Defekte auszuheilen und die implantierten Ionen elektrisch zu aktivieren. Die Energiezufuhr erfolgt in Form von Wärme in einem Diffusionsofen.

Im Rahmen dieser Arbeit wurde die Ionenimplantation zur Herstellung hochdotierter Wannen („Buried Layers“) genutzt, auf denen die Transistoren gewachsen werden können. Wegen der hohen Löslichkeit von Bor bzw. Arsen in Silizium wurden diese zur Herstellung der p- bzw. n-dotierten Wannen eingesetzt. Wegen der unterschiedlichen Masse der Bor- und Arsenionen unterscheiden sich die durch die Implantation hervorgerufenen Kristallschäden voneinander.

Bei Borionen überwiegen zunächst die inelastischen Stöße mit den Si-Atomen. Entsprechend dem geringen Kernbremsquerschnitt ist die mittlere freie Weglänge bezüglich der elastischen Stöße und damit der Abstand zwischen den entstehenden Gitterdefekten groß. Mit abnehmender Energie des Ions nimmt der Kernbremsquerschnitt zu, und die Häufigkeit der elastischen Stöße steigt. Jedoch ist die den Sekundärteilchen übertragene Energie so gering, daß sie keinen großen Schaden mehr verursachen. Die geringe Masse der Borionen führt zu relativ großen Streuwinkeln. Es entstehen räumlich getrennte Gitterstörungen, deren Dichte zum Ende der Bahn hin zunimmt (Abb. 5.2, oben).

Im Gegensatz dazu erleidet das wesentlich schwerere Arsenion überwiegend Kleinwinkelstreuungen, so daß es zu einer nahezu geradlinigen Ionenbahn kommt, die zylinderförmig von sich überlappenden Gitterstörungen umgeben ist. Hier dominiert im Gegensatz zur Borimplantation von Beginn an der Kernbremsquerschnitt. Entsprechend der kleinen mittleren freien Weglänge kommt es zu einer dichten Folge von elastischen Stößen mit den Gitteratomen. Die von den Gitterplätzen gestreuten Atome sind aufgrund der ihnen übertragenen Energie in der Lage, ihrerseits eine Kaskade von Gitterversetzungen auszulösen. Mit abnehmender Energie steigt zunächst die übertragene Energie pro Stoß, so daß die Dichte der versetzten Atome längs der Ionenbahn zunimmt. Erst gegen Ende der Ionenbahn ist die Energie des Ions soweit abgesunken, daß mit dem Kernbremsquerschnitt auch die übertragene Energie und damit die Dichte der versetzten Atome abnimmt (Abb. 5.2, unten).

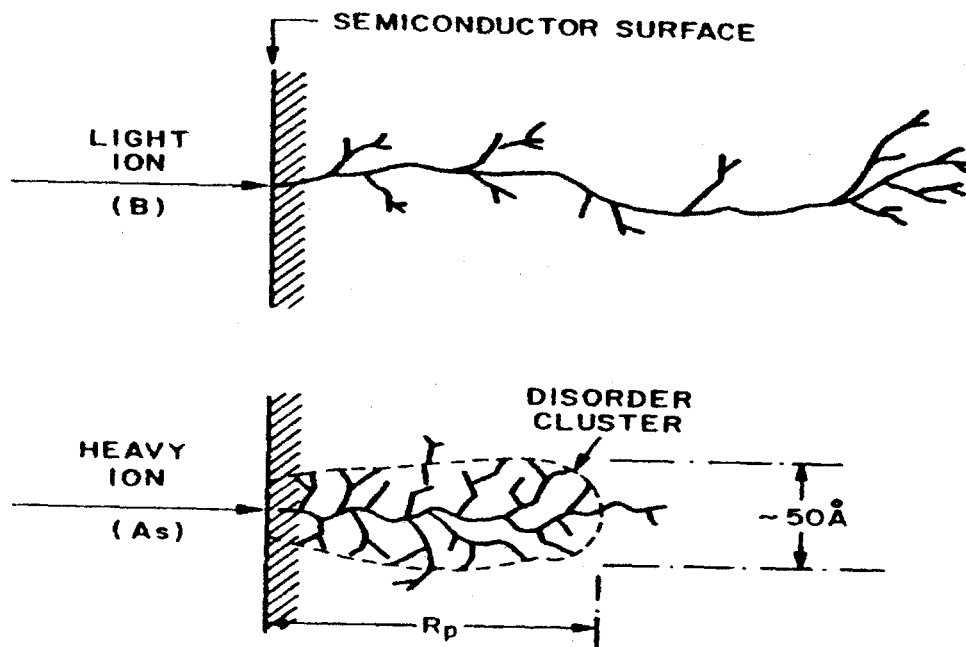


Abb. 5.2: Strahlenschäden durch leichte (B^+ , oben) und schwere Ionen (As^+ , unten) nach [50]

5.1.3 Selektive Implantation

Für Anwendungen bei elektronischen Bauelementen wird eine lokale Dotierung des Wafers erwünscht. Dazu müssen die Bereiche, die nicht implantiert werden sollen, durch eine Maskierungsschicht geschützt werden. Im Rahmen dieser Arbeit wurde dazu eine ein μm dicke Siliziumdioxidschicht benutzt, die durch thermische Oxidation bei 1100°C erzeugt wurde. Die zu implantierenden Bereiche werden mittels optischer Lithographie definiert, und das Oxid wird an diesen Stellen anisotrop weggeätzt.

Um die implantierten Bereiche bei späteren Belichtungen wiederfinden zu können, wurde noch eine zusätzliche Oxidation von 100 nm Oxid bei 1050°C eingefügt. Da das Maskierungsoxid eine Oxidation des darunter liegenden Si-Substrats weitestgehend verhindert, wird nur der strukturierte Bereich lokal oxidiert. Dadurch verschiebt sich das Si-SiO₂-Interface in diesen Bereichen um etwa 45 nm nach unten. Das Opferoxid wird vor der Implantation naßchemisch entfernt. Nach Entfernen des Maskierungsoxids lassen sich die implantierten Bereiche im Mikroskop gut erkennen.

5.2 Epitaxie auf implantierten Substraten

Prinzipiell lassen sich vertikale Bauelemente direkt auf niederohmigem Substrat aufbauen. So sind sowohl V-FET als auch VOXFET auf niederohmigem Substrat realisiert worden. Der Bau von Transistoren direkt auf niederohmigem Substrat hat aber zwei entscheidende Nachteile: Zum einen ist aufgrund des gemeinsamen Potentials aller Bauelemente auf dem Substrat weder ein Aufbau von Schaltkreisen möglich, noch ist die gegenseitige Beeinflussung beieinanderliegender Transistoren ausgeschlossen. Des weiteren stehen sich zwei große Elektrodenflächen - das Polysilizium-Gate und das als Source dienende Substrat - nur durch das dünne Gateoxid voneinander getrennt gegenüber. Diese im Vergleich zu konventionellen MOSFETs hohen Überlapp-Kapazitäten zwischen Gate und Source verschlechtern das Wechselstromverhalten der Transistoren.

Für komplexere Schaltkreise und Hochfrequenzanwendungen sind daher hochdotierte und lokal begrenzte Gebiete („Buried Layers“) erforderlich, die eine niederohmige Source-Kontaktierung der einzelnen Transistoren zulassen und die Überlappbereiche reduzieren.

Im Rahmen dieser Arbeit wurde daher ein Implants- und Ausheilprozeß für p- und n-Kanal-Transistoren entwickelt, der eine niederohmige Sourcekontaktierung ermöglicht und ein so gutes Ausheilen der oberflächennahen Siliziumschicht gewährleistet, daß versetzungsfreies epitaktisches Wachstum darauf möglich ist.

5.2.1 Die p-dotierte Wanne

Für p-Kanal-MOSFETs ist eine p-leitende Sourcekontaktierung nötig. Der Herstellungsprozeß der p-Wanne besteht aus den drei Schritten:

1. **Strukturierung und Opferoxidation:** Zunächst werden die Abmessungen der zu implantierenden Bereiche festgelegt und zum leichteren Wiederfinden für die folgenden Lithographien durch eine Opferoxidation markiert (vgl. Kapitel 5.1.3).
2. **Implantation:** Die Proben werden mit einer Dosis von $4 \cdot 10^{15} \text{ cm}^{-2}$ bei einer Energie von 80 keV implantiert. Um Channeling zu verhindern, werden die Wafer dabei um 7° gegenüber der Oberflächennormalen gedreht. Die Implantationen wurden an der Ruhr-Universität Bochum durchgeführt.
3. **Ausheilen und elektrische Aktivierung:** Um den geschädigten Kristall auszuheilen und die implantierten Bor-Atome elektrisch zu aktivieren, wurden die Proben im Diffusionsofen 40 min bei 950°C unter Stickstoffatmosphäre getempert.

Eine detaillierte Prozeßbeschreibung ist in Anhang A und B gegeben.

Die Ergebnisse des optimierten Implantations- und Ausheilungsprozesses werden im folgenden diskutiert. Der Schichtwiderstand der implantierten und getemperten Probe nimmt mit zunehmender Implantationsdosis ab, da mehr elektrisch aktive Ladungsträger vorhanden sind. Bei 950 °C liegt die Löslichkeitsgrenze von Bor in Silizium bei etwa $1 \cdot 10^{20} \text{ cm}^{-3}$, wobei der darüber hinausgehende Anteil elektrisch inaktiv bleibt [52].

Mit der Implantationsdosis nimmt aber auch das Ausmaß der Kristallschädigung zu. In Abbildung 5.3 ist der gemessene Schichtwiderstand der getemperten Proben in Abhängigkeit der implantierten Dosis dargestellt.

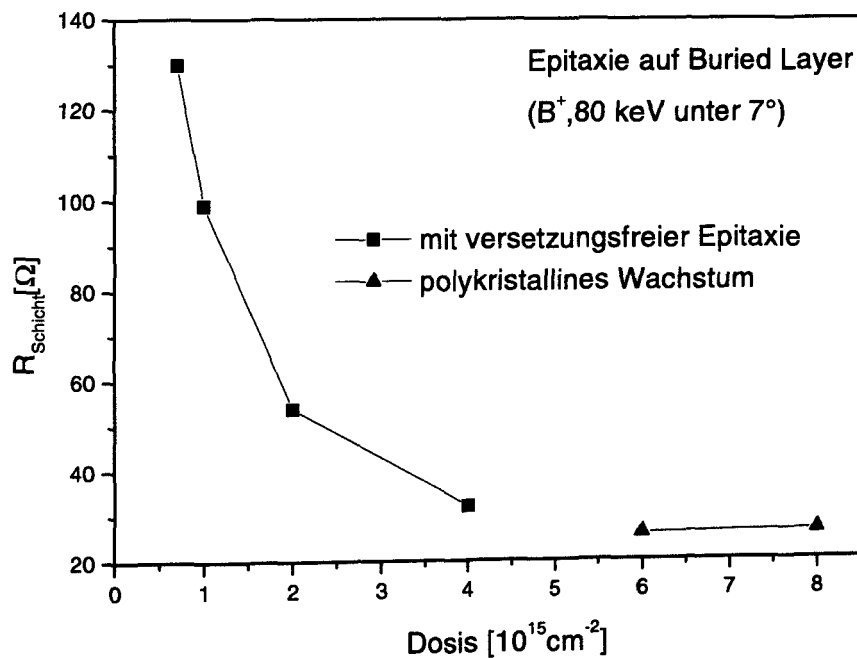


Abb. 5.3: Schichtwiderstand für unterschiedliche Bor-Implantationsdosen

Für Dosen bis $4 \cdot 10^{15} \text{ cm}^{-2}$ konnte der Kristall so gut ausheilen, daß hierauf eine versetzungsfreie Epitaxieschicht gewachsen werden konnte. Bei noch höheren Dosen war die Kristallschädigung so hoch, daß das Silizium in polykristalliner Form auf dem Substrat deponiert wurde.

Je nach Implantationsenergie wird der Kristall mehr oder weniger oberflächennah geschädigt. Es wurde eine Implantationsenergie von 80 keV gewählt. Bei dieser Energie liegt das Maximum des Energieverlustes und somit die größte Kristallschädigung in einer Tiefe von 300 nm. Das Maximum der Dotierstoffkonzentration liegt demgegenüber in einer Tiefe von etwa 240 nm.

Die epitaktische Rekristallisation kann nur dann zu einem kristallinen Gefüge ohne Restschaden führen, wenn das zusammenhängende amorphisierte Gebiet bis an die Oberfläche des Halbleiters reicht. Dies ist bei borimplantierten Substraten aber nicht der Fall, so daß das Ausheilverhalten der Schichten hier komplexer ist.

Bei der Implantation bildet sich in einer Tiefe von einigen 100 nm ein Bereich mit starker Kristallschädigung. Beim anschließenden Tempersschritt entsteht aus diesen Defekten ein Band mit zahlreichen Versetzungen, Versetzungsschleifen und Stabversetzungen (Abb. 5.4).

Bis zu einer Implantationsdosis von $4 \cdot 10^{15} \text{ cm}^{-2}$ heilt gleichzeitig die Oberfläche so gut aus, daß ein versetzungsfreies Wachsen der Transistorstruktur darauf möglich ist. Die Kristallqualität der implantierten Schichten wurde mittels RBS-Spektroskopie (s. Kapitel 6.2) charakterisiert (Abb. 5.5). Das erzielte Minimum-Yield lag bei 3 % und entspricht damit dem eines unbehandelten Wafers. Die implantierte Probe zeigt keinerlei Defekte in der epitaktisch gewachsenen Schicht. Bei kleinerer Implantationsenergie verschiebt sich das Band mit den Versetzungsschleifen in Richtung Oberfläche [53], so daß hierauf kein versetzungsfreies epitaktisches Wachstum mehr möglich ist.

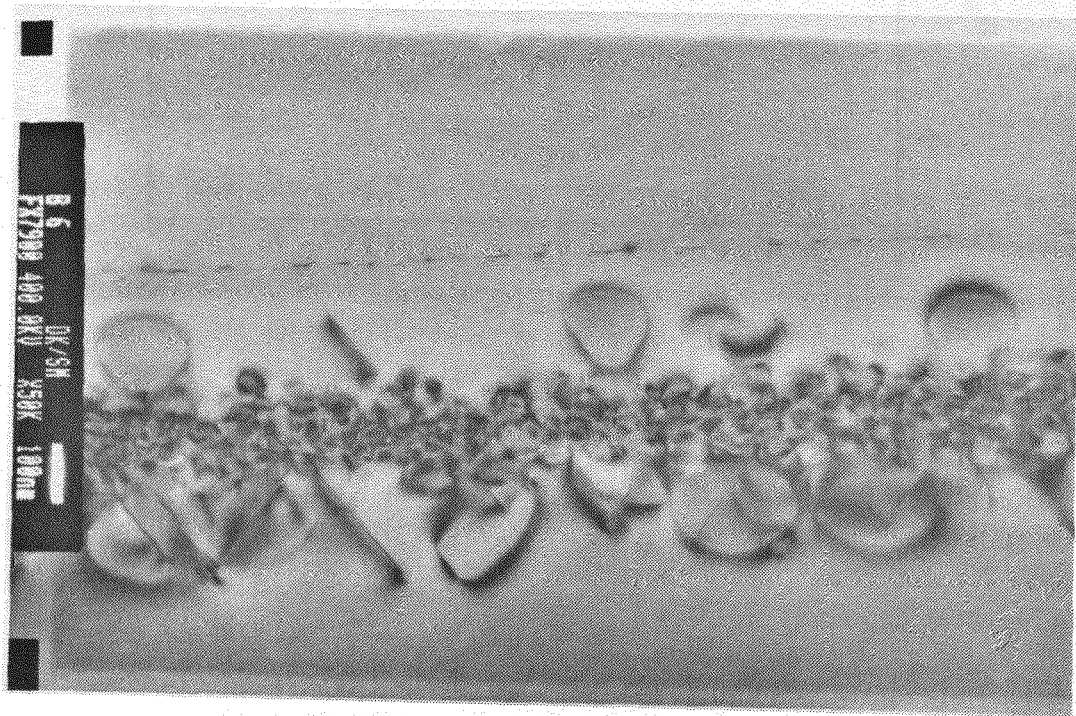


Abb. 5.4: TEM-Aufnahme der p-Wanne mit Epitaxie

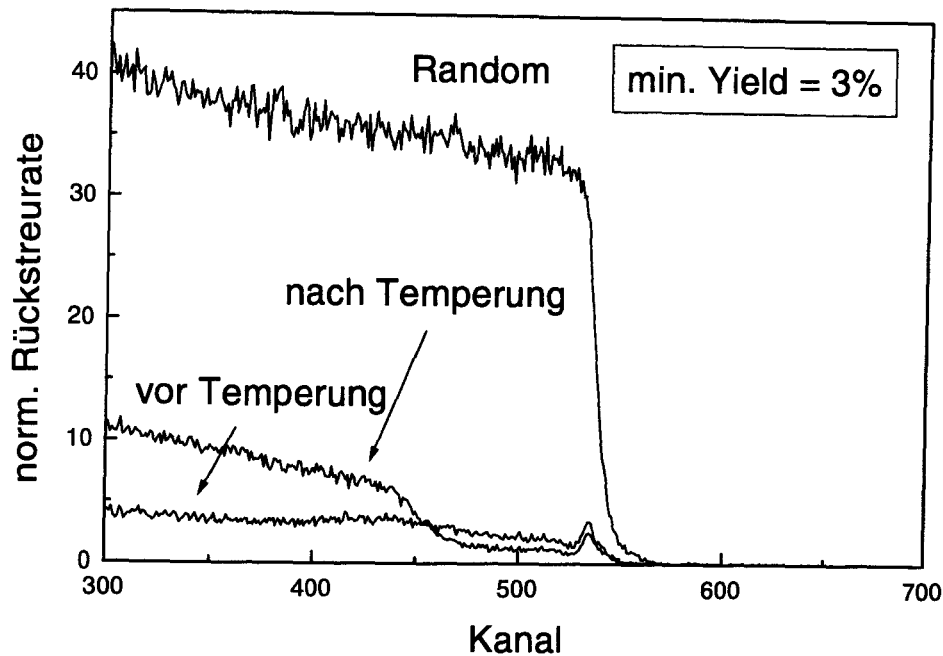


Abb. 5.5: RBS-Spektrum einer borimplantierten Probe vor und nach dem Ausheilen

5.2.2 Die n-dotierte Wanne

Analog zum vorherigen Kapitel wurde ein Prozeß zur Herstellung einer n-dotierten Wanne auf der Basis einer Arsenimplantation entwickelt, der den Bau optimierter vertikaler n-Kanal-MOSFETs vorbereitet. Wegen der im Vergleich zu Bor größeren Masse der As-Ionen wird bei hinreichend hoher Implantationsdosis die Probenoberfläche komplett amorphisiert, und der Kristall kann durch epitaktische Rekristallisation nahezu ideal ausheilen. Transistoren auf n-dotierter Wanne sind wegen des Memory-Effektes im Rahmen dieser Arbeit nicht prozessiert worden.

Für die Implantation wurden eine Energie von 80 keV und eine Dosis von $1 \cdot 10^{16} \text{ cm}^{-2}$ gewählt. Bei dieser Energie ist der Energieverlust durch Kernstöße dominiert, und die gesamte Probenoberfläche wird amorphisiert. In Anlehnung an einen von Ygartua und Swaroop vorgeschlagenen Prozeß [54] wurde durch ein 35 nm dickes Oxid implantiert, das das Substrat vor metallischen Verunreinigungen aus der Implantationskammer schützt. Nachteil dieses Schutzoxides ist, daß durch Stöße der Arsenionen mit dem Sauerstoff der SiO_2 -Maskierung auch Sauerstoff ins Silizium implantiert wird (Sekundärimplantation [55]). Nach Entfernen des Maskierungsoxids er-

folgen die Rekristallisation der Substratoberfläche und die elektrische Aktivierung der Arsenatome. Dazu werden die Wafer im Diffusionsofen 40 min bei 950 °C unter Stickstoff getempert. Dabei rekristallisiert die Substratoberfläche epitaktisch vom ungestörten Kristall her, wobei die Arsenatome elektrisch aktiv eingebaut werden [47].

Die durch die Sauerstoff-Sekundärimplantation geschädigten, oberflächennahen Bereiche werden nach der Rekristallisation durch eine 2 h 30 min lange Trockenoxidation bei 1100 °C aufoxydiert. Dabei bildet sich ein 220 nm dickes Oxid, das naßchemisch entfernt werden kann. Durch die Trockenoxidation diffundiert das Arsen etwa 1 μm ins Substrat, so daß die entstehende n-dotierte Wanne tiefer ist als die im vorigen Kapitel diskutierte p-Wanne.

Die Kristallqualität der Schichten wurde auch hier mittels RBS-Spektroskopie charakterisiert. Das erzielte Minimum-Yield lag für die ausgeheilten Schichten bei 3 % und entspricht damit dem eines unbehandelten Wafers (Abb. 5.6). In TEM-Untersuchungen zeigte die arsenimplantierte Probe nach der Oxidation keine Defekte mehr. Der erzielte Schichtwiderstand beträgt 10 Ω/\square .

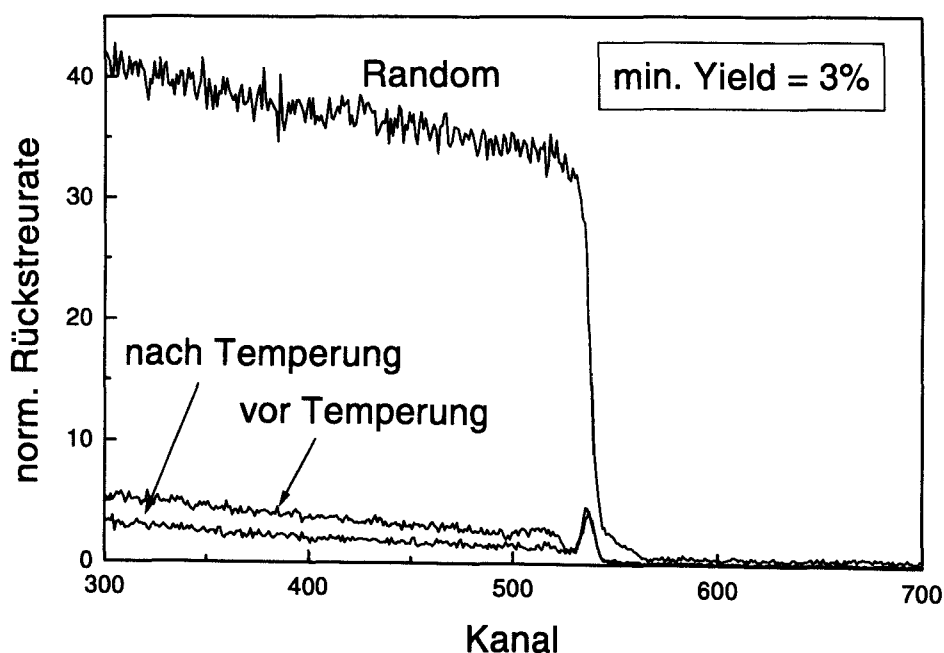


Abb. 5.6: RBS-Spektrum einer arsenimplantierten Probe vor und nach dem Ausheilen

5.3 Untersuchungen zur Grenzfläche

Ein wichtiger Parameter, der die Qualität der Epitaxie entscheidend beeinflusst, ist die Sauberkeit der Si-Substratoberfläche. Verunreinigungen können zu Kristallfehlern wie Versetzungen, Leerstellen, Zwillingsbildung usw. führen, die die elektrischen Eigenschaften der gewachsenen Schicht beeinflussen [10].

Um saubere Si-Oberflächen zu erhalten, wurden die Wafer vor der Epitaxie nach einer modifizierten RCA-Reinigung [10] gereinigt. Während der einzelnen Reinigungsschritte werden metallische und organische Verunreinigungen entfernt. Im letzten Reinigungsschritt bildet sich ein etwa 2,5 nm dickes Oxid auf der Substratoberfläche. Vor Beginn der Deposition muß dieses Oxid entweder ex situ naßchemisch mittels HF-Lösung [56] oder in situ durch thermisches Ausheizen bei hinreichend hoher Temperatur [57] entfernt werden.

Während der Prozeßentwicklung wurde beobachtet, daß die Morphologie der nach einem Ausheizschritt auf implantiertem Bereich gewachsenen Schichten oftmals besser war als die auf unbehandeltem Substrat (Fig. 5.7).

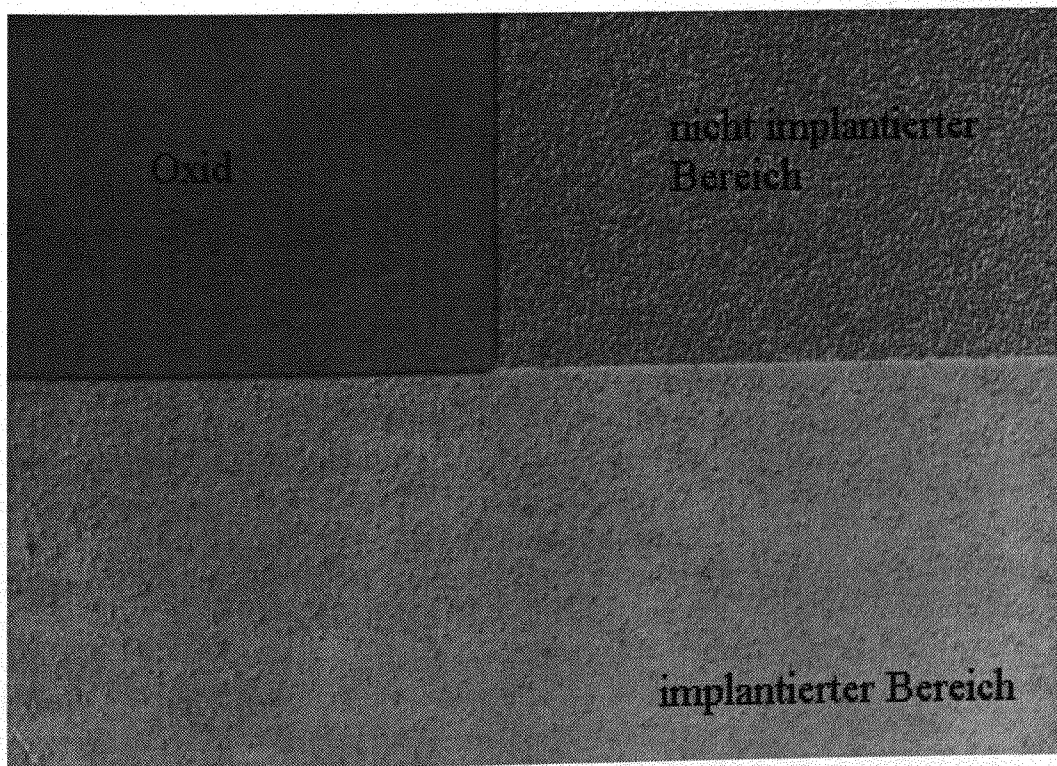


Abb. 5.7: Epitaxie auf implantiertem und unimplantiertem Substrat (lichtmikroskopische Aufnahme). Auf dem implantierten Substrat ist die Epitaxie wesentlich glatter.

Mittels SIMS-Untersuchung wurde festgestellt, daß sich die Verunreinigungen an der Substrat-Epitaxie-Grenzfläche je nachdem, ob die Probe implantiert ist oder nicht, unterscheiden. Während in beiden Fällen ein Kohlenstoffpeak mit einer Peakkonzentration von etwa $1 \cdot 10^{20} \text{ cm}^{-3}$ gefunden wurde, hingen die Sauerstoffkonzentrationen an der Grenzfläche von der Vorbehandlung der Wafer ab. Während R. Loo auch nach optimierter Reinigung und 40 minütigem Ausheizen bei 900°C noch eine Sauerstoffpeakkonzentration von $2 - 3 \cdot 10^{18} \text{ cm}^{-3}$ fand [10], ist die auf implantiertem Substrat gemessene Sauerstoffpeakkonzentration mit etwa $5 \cdot 10^{17} \text{ cm}^{-3}$ wesentlich geringer (Fig. 5.8).

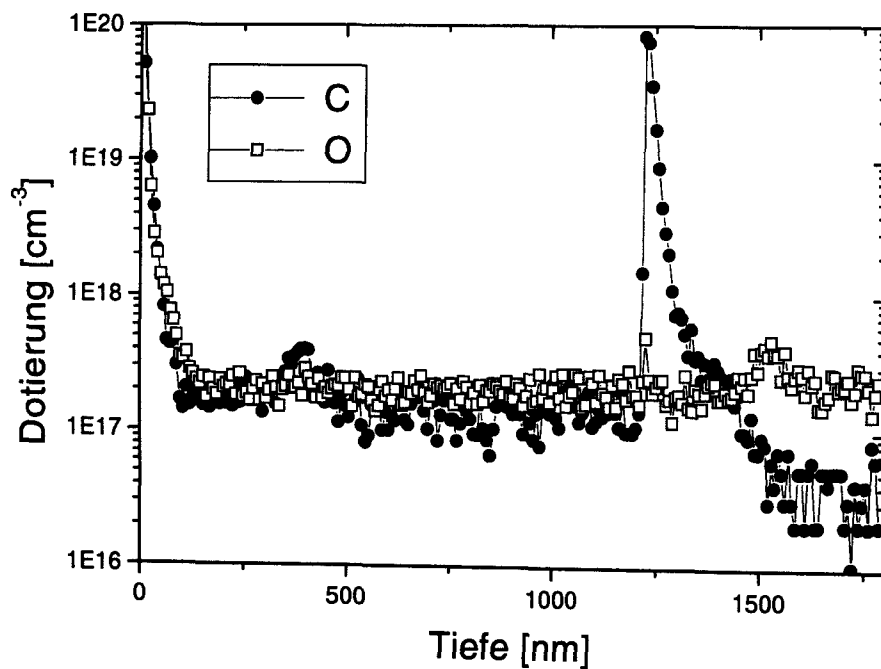


Abb. 5.8: C- und O-Verunreinigungen einer borimplantierten Probe mit Epitaxie

Ursache für die Abnahme der Sauerstoff-Kontamination an der Grenzfläche könnte die hohe Borkonzentration an der Substratoberfläche sein. Beim Ausheizschritt segregiert das Bor in die dünne Oxidschicht, so daß die chemischen Bindungen des amorphen SiO_2 geschwächt werden [52] und die Diffusion des $\text{SiO}(\text{g})$ aus dem Ausheizschritt $\text{SiO}_2 + \text{Si} \rightarrow 2\text{SiO}(\text{g})$ beschleunigt wird.

Kapitel 6

Technologie

In diesem Kapitel werden wesentliche Technologien diskutiert, die zur Realisierung der Transistoren verwendet wurden. Zunächst werden die Standardstrukturierungsverfahren skizziert. Dies sind die Photolithographie (optische Lithographie) zur Strukturerzeugung und Ätzverfahren zur Strukturübertragung. Neben der Oxidation zur Erzeugung von SiO_2 wurden CVD-Prozesse zur Schichtdeposition eingesetzt. Eine ausführliche Darstellung der Prozeßtechnologie findet sich z. B. in [58]. Anschließend werden die spektroskopischen und mikroskopischen Verfahren dargestellt, die zur Charakterisierung der Proben benutzt wurden. Abschließend werden einige zur Prozessierung der Transistoren entwickelten Prozeßschritte diskutiert und die Technologien zur Prozessierung von V-FET und VOXFET erläutert.

6.1 Allgemeine Prozeßtechnologie

6.1.1 Optische Lithographie

Zur Definition der lateralen Abmessungen wurde die optische Lithographie verwendet. Dazu wird ein lichtempfindlicher Lack auf die Probe aufgeschleudert. Bei dem hier verwendeten Kontaktbelichtungsverfahren werden die Strukturen durch eine Chrommaske übertragen, in der die zu übertragenden Strukturen eingätzt sind. Die Bereiche der Probe, die nicht belichtet werden sollen, werden durch das Chrom maskiert. Die Belichtung erfolgt mit einem Belichter MA6 der Firma Süss. Als Lichtquelle dient eine Quecksilberdampfampe ($\lambda_{I\text{-Linie}} = 365 \text{ nm}$). Die kleinsten übertragenden Strukturgrößen liegen bei $1 \mu\text{m}$.

Bei der Belichtung verändert sich die chemische Struktur des Photolackes derart, daß er sich bei der anschließenden Entwicklung im Entwickler löst (Positivprozeß) oder nach einer geeigneten Temperaturbehandlung an den belichteten Stellen zurückbleibt (Umkehrprozeß).

Als Photolack wurde AZ-Lack der Firma Hoechst benutzt. Dieser wird bei 4000 U/min aufgeschleudert und bildet dabei einen 600 nm (AZ 5206) bzw. 1400 nm (AZ 5214) dicken Film auf der Probe. Nach einem Trockenschritt bei 90 °C wird die Probe 3 bis 5 s belichtet. Die Entwicklung erfolgte in metallionenfreiem Entwickler (AZ 316 MIF) der Firma Hoechst.

Die Prozeßdaten der verwendeten Positiv- und Umkehrprozesse finden sich in Anhang A und B.

6.1.2 Ätzverfahren

Zur Strukturübertragung werden zwei Ätzverfahren eingesetzt: die naßchemische Ätzung und das Trockenätzen. Bei der naßchemischen Ätzung wird die Probe in eine Ätzlösung gebracht, die das zu ätzende Material chemisch löst. Die Trockenätzung mittels reaktiver Ionen (Reactive Ion Etching, RIE) stellt den wichtigsten Strukturübertragungsprozeß in der Halbleiterfertigung dar, da es - bei geeigneter Wahl der Prozeßgase und Prozeßparameter - anisotropes Ätzen bei hoher Selektivität ermöglicht.

Reaktives Ionenätzen (RIE)

Beim reaktiven Ionenätzen werden Gase in eine Probenkammer geleitet und bei Drücken um 1-10 Pa durch ein hochfrequentes Wechselfeld ionisiert. Durch die Wechselspannung werden die in den Reaktor geleiteten Prozeßgase teilweise dissoziiert (0,1 bis 10 %) bzw. ionisiert (0,001 bis 0,01 %).

Durch die einsetzende Plasmaentladung bildet sich zwischen den Elektroden ein elektrisches Feld, dessen Größe durch die eingestrahlte Leistung des Wechselfeldes vorgegeben ist. Im elektrischen Feld werden die reaktiven Ionen zur Probe hin beschleunigt. Der Ätzmechanismus besteht aus einer Kombination aus physikalischem Ätzen (Sputterätzen), bei dem das Material durch den Impuls der auftreffenden Ionen abgetragen wird, und chemischem Ätzen. Die Ätzkomponenten beeinflussen sich gegenseitig, da die Bindungen im Material chemisch geschwächt werden und dadurch das Material leichter gesputtert werden kann. Andererseits werden durch den Ionenbeschuß Oberflächenschäden induziert, die das chemische Ätzen erleichtern. Die physikalische Komponente des Ätzprozesses führt zur Anisotropie des Ätzprozesses, während die chemische Komponente selektives Ätzen ermöglicht.

Ein Nachteil des reaktiven Ionenätzens ist die Schädigung der Probenoberfläche durch den Ionenbeschuß [59, 60]. Je nach Material, Ätzgas und Prozeßparametern reichen die Schäden bis 10 nm in den Kristall.

Material	Gas	Fluß	Druck	HF-Leistung
SiO ₂	CHF ₃	20 ml/min	30 µbar	300 W
SiO ₂	CHF ₃ /CF ₄	je 20 ml/min	30 µbar	300 W
Si ₃ N ₄	CHF ₃	30 ml/min	30 µbar	200 W
Si	Ar/SF ₆	40/1 ml/min	20 µbar	150 W
AZ 5214	O ₂	20 ml/min	30 µbar	200 W

Tab. 6.1: Parameter der verwendeten Prozesse beim reaktiven Ionenätzen RIE

6.1.3 Schichtdeposition und Oxidation

Ein wesentlicher Vorteil des Siliziums gegenüber anderen Halbleitermaterialien besteht darin, daß sich durch thermische Oxidation auf einfache Weise eine elektrisch isolierende Schicht herstellen läßt. Wegen der hohen Güte dieser Schicht ist die Oxidation das Standardverfahren zur Herstellung von Gateoxiden (Kapitel 6.4). Unterschieden wird zwischen Feucht-, Trocken- und Hochdruckoxidation. Als Verfahren zur Oxiddeposition wurde die plasmaunterstützte CVD (Plasma Enhanced Chemical Vapour Deposition, PECVD) verwendet, bei der das Oxid aus der Gasphase abgeschieden wird und somit - im Gegensatz zur Oxidation - kein Substratmaterial verbraucht wird [58].

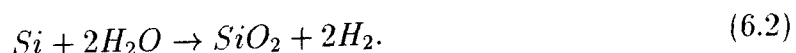
Die Feucht- und Trockenoxidation

Schon bei Raumtemperatur bildet sich in Raumluft eine Oxidschicht auf der Siliziumoberfläche („Natürliches Oxid“). Die Dicke beträgt je nach Dotierung des Substrats 0,7 nm bis 3 nm. Setzt man die Probe bei hohen Temperaturen einer oxidierenden Atmosphäre aus, können dickere Oxide erzeugt werden.

Bei der Trocken- bzw. Feuchtoxidation wird das Substrat bei Normaldruck und Temperaturen zwischen 800 °C und 1200 °C unter Sauerstoff (Trockenoxidation) bzw. Wasserdampf (Feuchtoxidation) oxidiert. Im Falle der Trockenoxidation oxidiert das Silizium gemäß:



Bei der schneller verlaufenden Feuchtoxidation wird das Silizium oxidiert, indem der Wasserdampf zu Wasserstoff reduziert wird:



Man unterscheidet zwei Wachstumsbereiche: Für kurze Oxidationszeiten bzw. dünne Oxide ist die Oxiddicke linear von der Oxidationszeit abhängig [61]. Das Wachstum wird durch die Reaktionsgeschwindigkeit an der Silizium-SiO₂-Grenzfläche limitiert. Für dickere Oxide ist die Oxiddicke proportional zur Wurzel der Oxidationszeit [61].

Hier ist die Oxidation durch die Diffusion der Oxidanten durch das Oxid limitiert. Das Wachstum ist exponentiell von der Temperatur abhängig.

Die Hochdruckoxidation

Die hohen Temperaturen, die erforderlich sind, um bei thermischer Oxidation unter Normaldruck Oxide zu wachsen, können zum Verlaufen steiler Dotierprofile führen. Bei der Hochdruckoxidation (High Pressure Oxidation, HiPOx) werden die Proben bei Drücken von einigen kbar oxidiert. Da die Oxidationsgeschwindigkeit vom Partialdruck der Oxidanten abhängt, kann mittels HiPOx das thermische Budget erheblich reduziert werden. Im Rahmen dieser Arbeit wurden HiPOx-Oxide als Gateoxid für Transistoren mit Kanallängen unter 100 nm eingesetzt.

Die PECVD-Deposition

Bei der PECVD wird die Vorzerlegung der Prozeßgase durch eine Plasmaanregung bewirkt. Die chemischen Bindungen der Prozeßgase werden durch ein bei niedrigen Drücken eingekoppeltes hochfrequentes elektromagnetisches Feld aufgebrochen. Daher kann eine PECVD bei niedrigen Temperaturen betrieben werden. Typische PECVD-Prozesse laufen bei Drücken von etwa 1 mbar und Temperaturen von unter 400 °C ab [62]. Zur Deposition von Oxiden wird entweder eine Mischung aus Silan bzw. Dichlorsilan und Lachgas (N_2O) oder Tetra-Ethyl-Ortho-Silicat (TEOS) benutzt. Siliziumnitrid kann aus Silan oder Dichlorsilan und Ammoniak deponiert werden.

6.1.4 Modifizierte RCA-Reinigung

Vor jeder Oxidation oder Schichtdeposition wurden die Proben mit einer modifizierten RCA-Reinigung chemisch gereinigt. Als Grundlage der Reinigung dienten die von W. Kern [63] entwickelten Reinigungsschritte SC1 und SC2, die um einen weiteren Reinigungsschritt in $\text{H}_2\text{O}_2/\text{H}_2\text{SO}_4$ im Verhältnis 1:1 bei 80 °C und Ultraschall ergänzt worden sind. Dieses Säurebad entfernt organische Verunreinigungen wie Polymere und Lackreste.

Der SC1-Schritt besteht aus einer Mischung aus $\text{H}_2\text{O}/\text{H}_2\text{O}_2/\text{NH}_4\text{OH}$ im Verhältnis 5:1:1. Der Reinigungsschritt wird bei 80 °C unter Ultraschall durchgeführt. Hierbei werden Schwermetallionen entfernt.

Der SC2-Schritt besteht aus einer Mischung aus $\text{H}_2\text{O}/\text{H}_2\text{O}_2/\text{HCl}$ im Verhältnis 5:1:1. Auch dieser Schritt wird bei 80 °C und unter Ultraschall durchgeführt. Dabei werden Alkalimetalle entfernt.

Jedes dieser Säurebäder wirkt nach dem gleichen Prinzip: Eine Komponenteätzt Oxid, während die andere Komponente oxidierend wirkt. Auf dem Substrat bildet

Schritt Nr.	Bestand- teile	Verhältnis	Temperatur (°C)	Dauer (min)
1	H ₂ O ₂ /H ₂ SO ₄	1:1	80	10
2	H ₂ O/H ₂ O ₂ /NH ₄ OH	5:1:1	80	10
3	H ₂ O/H ₂ O ₂ /HCl	5:1:1	80	10

Tab. 6.2: Modifizierte RCA-Reinigung

sich während der Reinigung eine Oxidschicht, die je nach Säurebad eine Gleichgewichtsdicke zwischen 0,5 nm und 1,5 nm aufweist. Nach der Reinigung wird das Substrat durch dieses definierte Oxid geschützt.

Der Säuberungseffekt der einzelnen Schritte kann dadurch erhöht werden, daß zwischen ihnen eine Ätzung in Flußsäure durchgeführt wird (HF-Dip), bei der das im letzten Reinigungsschritt erzeugte Oxid und alle darin enthaltenen Verunreinigungen entfernt werden.

In Tabelle 6.2 ist der Ablauf der Reinigung zusammengefaßt.

6.2 Probencharakterisierung

In diesem Kapitel werden die spektroskopischen bzw. mikroskopischen Verfahren diskutiert, die im Rahmen dieser Arbeit zur Charakterisierung der Proben benutzt wurden. Zu den spektroskopischen Methoden zählen die Rutherford-Rückstreuung zur Schichtqualität und -dickenbestimmung und die Sekundär-Ionen-Massenspektroskopie zur tiefe aufgelösten Untersuchung von Dotierungen und Verunreinigungen. Als bildgebende Verfahren wurden neben der optischen Mikroskopie die Transmissionselektronenmikroskopie (TEM) und die Rasterelektronenmikroskopie (REM) genutzt.

RBS-Spektroskopie

Grundlage der Rutherford-Rückstreuung (Rutherford Backscattering Spectroscopy, RBS) ist die Streuung monoenergetischer, leichter Ionen (z.B. H^+ oder He^+) an Festkörperatomen bzw. -kernen. Die Energie der Ionen wird dabei so gewählt, daß keine Kernreaktionen auftreten. Typische Primärenergien liegen im Bereich zwischen 0.5 und 4 MeV. Die Rückstreurrate wird energieaufgelöst gemessen. Aus dem Spektrum erhält man Aufschluß über die in der Probe vorkommenden Elemente, ihre Stöchiometrie und ihre Tiefenverteilung.

Die Streuung kann bei diesen Energien als klassisches Zweikörperproblem betrachtet werden. Setzt man elastische Streuung der Ionen am Coulomb-Potential der Target-

atomkerne voraus, so läßt sich aus Energie- und Impulserhaltung der kinematische Faktor k herleiten, der das Verhältnis der Energien der gestreuten Ionen zur Primärenergie in Abhängigkeit von der Targetmasse M_2 und Ionenmasse M_1 beschreibt:

$$k := \frac{E_1}{E_0} = \left\{ \frac{[1 - (M_1/M_2) \sin^2 \theta]^{1/2} + (M_1/M_2) \cos \theta}{1 + (M_1/M_2)} \right\} \quad (6.3)$$

Dabei ist θ der Winkel zwischen der Einfalls- und der Rückstreurichtung der Ionen. Damit läßt sich aus der Rückstreuenergie E_1 und der Ionenmasse M_1 die Targetmasse M_2 bestimmen.

Für die Anzahl der detektierten, rückgestreuten Ionen gilt:

$$A = \sigma \Omega Q N t, \quad (6.4)$$

wobei σ der mittlere Wirkungsquerschnitt, Ω der Raumwinkel des Detektors, Q die eingestrahlte Ladungsmenge und Nt die Anzahl der Atome pro Fläche ist. Somit ist die Anzahl der rückgestreuten Ionen ein Maß für die Flächenkonzentration Nt . Der Energieverlust der Ionen beim Durchgang durch Materie ergibt sich aus

$$\Delta E = \epsilon N x \quad (6.5)$$

mit dem Bremsquerschnitt ϵ . Damit ist ein Maß für die Schichtdicke x gegeben. Um x bestimmen zu können, muß zusätzlich die atomare Dichte N bekannt sein.

Wenn die Zusammensetzung einer Schicht bekannt ist und lediglich mittels RBS-Spektroskopie überprüft werden soll, wird von der Möglichkeit der Simulation Gebrauch gemacht. Die im Rahmen dieser Arbeit gemessenen RBS-Spektren wurden mit dem Simulationsprogramm RUMP [64] ausgewertet. Das Problem, daß RBS lediglich eine Massenbelegung liefert, stellt sich auch bei der Simulation der Schichtdicken. Daher ist zur Auswertung die Kenntnis der Dichte des Materials notwendig.

Die Anlage, die für Untersuchungen im Rahmen dieser Arbeit benutzt wurde, verwendet He^+ -Ionen mit einer Energie von 1,4 MeV. Die Ionen werden dabei in einem Tandembeschleuniger auf die notwendige Energie gebracht. Der Si-Oberflächensperrschichtdetektor für die rückgestreuten Ionen ist unter einem Winkel von 170° zum einfallenden Ionenstrahl angebracht. Ein Vielkanalanalysator registriert die rückgestreuten Teilchen in Abhängigkeit von ihrer Energie.

Gleichung 6.4 gilt nur, wenn die Atome in der Probe gegenüber dem einfallenden Ionenstrahl statistisch verteilt sind, wie es bei amorphen Materialien der Fall ist. Bei einkristallinen Proben wird eine statistische Anordnung dadurch erreicht, daß die Probe um einige Grad gegenüber der Oberflächennormalen gekippt und zusätzlich während der Messung um die Probennormale gedreht wird („Random-Messung“).

Channeling

Wird eine einkristalline Probe so ausgerichtet, daß der einfallende Ionenstrahl parallel zu einer Achse hoher Symmetrie (z.B. [100]-Richtung bei Si(100)) auftrifft, können die Ionen in Kanälen geführt werden und gelangen so wesentlich tiefer in den Kristall („Channeling“). Dabei wird die Rückstreurrate wesentlich reduziert. Das Minimum des Quotienten aus Random- und Channeling-Spektrum wird als Minimum-Yield bezeichnet. Je mehr Defekte in einem Kristall auftreten, desto größer ist das Dechanneling und damit das Minimum-Yield. Daher ist das Minimum-Yield ein Maß für die Schichtqualität der Probe. Im Falle sehr guter Schichten erwartet man einen Wert von 2-3 %.

Sekundär-Ionen-Massenspektroskopie (SIMS)

Zur Bestimmung der Konzentration von Dotieratomen (B und P) und von Verunreinigungen (C und O) wurde die Sekundär-Ionen-Massenspektroskopie (SIMS) verwendet. Bei dieser Meßmethode werden Oberflächenatome durch Beschuß mit Primärionen mit einer Energie von einigen keV abgesputtert und dabei teilweise ionisiert (Sekundärionen). Die Sekundärionen werden in einem Massenspektrometer analysiert. Auf diese Art läßt sich die Konzentration des betreffenden Ions mit einer Genauigkeit von ca. 20 % bei einer Tiefenauflösung von ca. 10 % bestimmen. In einer Anlage der Firma RIBER wurde ein Cs^+ -Primärstrahl unter 60° zur Probennormalen auf die Probenoberfläche geschossen, um Kohlenstoff- und Sauerstoffverunreinigungen nachzuweisen. Bor und Phosphor wurden in einer Anlage der Firma ATOMIKA gemessen. Dazu wurde ein O_2^+ -Primärstrahl unter 2° zur Oberflächennormalen auf die Probe geschossen.

Transmissionselektronenmikroskopie (TEM)

Bei der Transmissionselektronenmikroskopie (TEM) werden Proben mit Dicken unter 100 nm von einem Strahl hochenergetischer (einige 100 keV) Elektronen durchstrahlt. Die an der Unterseite des Objekts austretenden elastisch, inelastisch oder ungestreuten Elektronen werden mit Hilfe der nachfolgenden Elektronenoptik zur Erzeugung eines Kontrastbildes der Probe verwendet. Die TEM liefert ein Bild der zu untersuchenden Mikrostruktur und Informationen über Kristalldefekte. Die Auflösung liegt unter 1 nm. Ein Nachteil der TEM ist die aufwendige Probenpräparation.

Rasterelektronenmikroskopie (REM)

Beim Rasterelektronenmikroskop (REM) wird die Oberfläche einer Probe mit einer feinen Elektronenstrahlsonde abgerastert. Dazu werden Elektronen aus einer Wolfram-Glühkathode emittiert und auf eine Energie von 5 bis 50 keV beschleunigt. Magnetische Linsen fokussieren den Elektronenstrahl, so daß auf der Probe

ein Strahldurchmesser von 4 bis 20 nm vorliegt. Ein Ablenkgenerator sorgt für die zeilenförmige Rasterung der Probe durch den Elektronenstrahl und eine synchrone Rasteraufzeichnung des Bildes auf einem Monitor. Die emittierten Sekundärelektronen und die rückgestreuten Elektronen werden von geeigneten Detektoren erfaßt. Mit den verstärkten Detektorsignalen wird der Elektronenstrahl in der Bildröhre moduliert und damit die Helligkeit des Bildes verändert. Die Auflösung des Elektronenmikroskops liegt bei etwa 4 bis 20 nm und damit eine Größenordnung unter der des TEM.

6.3 Ohmsche Kontakte

Zur Charakterisierung von Bauelementen oder deren Integration in elektrische Schaltungen werden die einzelnen Anschlüsse des Bauelementes über metallische Leiterbahnen (z. B. Aluminium) nach außen geführt. An der Grenzfläche zwischen Halbleiter und Metall bildet sich eine Potentialbarriere, die das Strom-Spannungsverhalten des Kontaktes bestimmt. Im Falle einer unabhängig von der Polarität der angelegten Spannung linearen Strom-Spannungscharakteristik spricht man von ohmschen Kontakten. Eine ohmsche Kontaktierung basiert auf dem Mechanismus der Feldemission, bei der die Potentialbarriere so schmal ist, daß sie durchtunnelt werden kann.

Eine möglichst verlustfreie Kontaktierung setzt einen geringen spezifischen Kontaktwiderstand ρ_C voraus, der als Maß für die Güte der Kontaktierung benutzt wird. Dieser ist definiert als:

$$\rho_C \equiv \left(\frac{\partial J}{\partial V} \right)_{V=0}^{-1} \quad (6.6)$$

Im Fall der Feldemission gilt [65]:

$$\rho_C \sim \exp \left[\frac{2\Phi_{Bn}}{\hbar} \sqrt{\frac{\varepsilon_0 \varepsilon_{sm}}{N_D}} \right] \quad (6.7)$$

Hieraus folgt die exponentielle Abhängigkeit des spezifischen Kontaktwiderstandes von der Barrierenhöhe Φ_{Bn} und der Dotierstoffkonzentration der Halbleiteroberfläche N_D . Um ohmsches Verhalten mit möglichst niedrigem Kontaktwiderstand zu erzielen, nutzt man Silizide mit möglichst geringer Barrierenhöhe gegenüber dem Halbleiter (Kapitel 6.3.1). Die Dotierstoffkonzentration an der Halbleiter-Silizid-Grenzfläche wird durch eine Kontaktimplantation bis an die Löslichkeitsgrenze erhöht. Die Qualität der ohmschen Kontakte wurde an TLM-Strukturen nachgewiesen (Kapitel 6.3.2).

6.3.1 SALICIDE-Prozeß und Kontaktimplantation

Geeignete Materialien zur Realisierung der ohmschen Kontakte sind die Silizide der Übergangsmetalle [66]. Silizide sind stabile chemische Verbindungen, die bei der Reaktion einer Vielzahl von Metallen mit Silizium entstehen. Viele dieser Silizide bilden an der Grenzfläche zum Silizium nur eine kleine Potentialbarriere aus, während sie selber metallisches Verhalten zeigen.

Für die Halbleitertechnik sind vor allem die Silizide der Metalle Titan, Platin, Kobalt und Nickel interessant. Je nach Silizid variiert die Barrierenhöhe auf Silizium. In Tabelle 6.3 sind die spezifischen Widerstände ρ , die Barrierenhöhe $q\Phi_{Bn}$ auf n-Silizium und die Temperatur T_{Bild} , bei der sich das Silizid bildet, angegeben.

Folgende Ansprüche werden an zur Herstellung ohmscher Kontakte geeignete Silizide gestellt:

- Geringer spezifischer Widerstand ρ des Silizides
- Reproduzierbarkeit der Silizidbildung
- Hohe Selektivität des SALICIDE-Prozesses (s.u.)
- Kein laterales Überwachsen
- Geringe Barrierenhöhe Φ_B auf Silizium
- Thermische Stabilität
- Niedrige Bildungstemperatur und hohe eutektische Temperatur
- Keine Reaktion mit der Endmetallisierung

Die Silizidierung erfolgt durch Diffusion der Metallatome in das Silizium bzw. die Diffusion der Siliziumatome in das Metall [67]. Welcher Mechanismus dominiert, hängt von der Bildungstemperatur ab. Bei niedrigen Bildungstemperaturen überwiegt die Diffusion der Metallatome ins Silizium, während bei den Siliziden der hochschmelzenden Metalle, deren Bildung höhere Temperaturen erfordert, die Diffusion der Siliziumatome in das Metall überwiegt [68, 69]. Dabei kann es zu lateralem Wachstum über die Begrenzung des Kontaktloches hinaus kommen (z.B. bei $TiSi_2$ [70]). Kobaltdisilizid zeigt kein laterales Überwachsen, aber bei der Silizidierung treten je nach Schichtdicke und Temperatur verschiedene intermetallische Phasen mit unterschiedlichen Eigenschaften auf. Daher werden für $CoSi_2$ hohe Anforderungen an die Prozessierung gestellt [67].

Für MOSFET-Anwendungen mit Kanallängen unter 100 nm ist Nickelmonosilizid ($NiSi$) ein vielversprechendes Silizid zur Herstellung ohmscher Kontakte. Besonders

Silizid	$T_{Bild}/^{\circ}C$	$\rho/\mu\Omega cm$	$q\Phi_{Bn}/eV$
TiSi ₂	550-600	13-25	0.6
NiSi	400	14-22	0.7
NiSi ₂	400-500	50-60	0.7
PtSi	300-600	28-35	0.87
CoSi ₂	600	13-28	0.64
WSi ₂	850	30-100	0.65
MoSi ₂	600	22-100	0.55

Tab. 6.3: Eigenschaften einiger Silizide [14, 67, 70, 71]

interessant sind die niedrige Bildungstemperatur, das breite Prozeßfenster [72] und die guten Kontakteigenschaften [66]. Es wurde im Rahmen dieser Arbeit zur Herstellung der ohmschen Kontakte eingesetzt.

Die Herstellung der Kontakte erfolgt über eine selbstjustierende Silizidierung (Self ALigned siliCIDE, SALICIDE). Vor dem Aufbringen des Nickels wird mit einer BF₂-Kontaktimplantation ($4 \cdot 10^{15} cm^{-2}$, 40 keV) die oberflächennahe Dotierung bis zur Löslichkeitsgrenze erhöht. Die Bor-Atome werden in einem Temperschritt im RTP-Ofen bei 1050 °C elektrisch aktiviert. Nach einer naßchemischen Reinigung wird das Nickel auf die Probe aufgebracht (Abb. 6.1.a). Unmittelbar vor Einbau der Probe in die Aufdampfanlage wird die natürliche Oxidschicht durch einen HF-Dip entfernt.

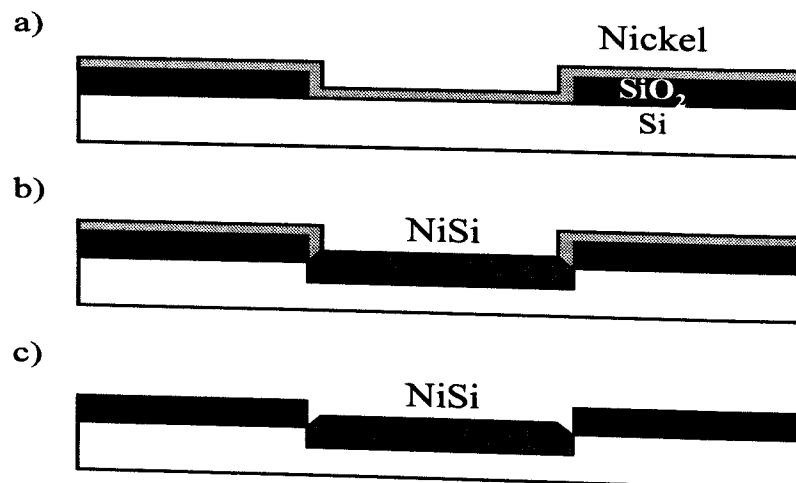


Abb. 6.1: SALICIDE-Prozeß zur Bildung von NiSi

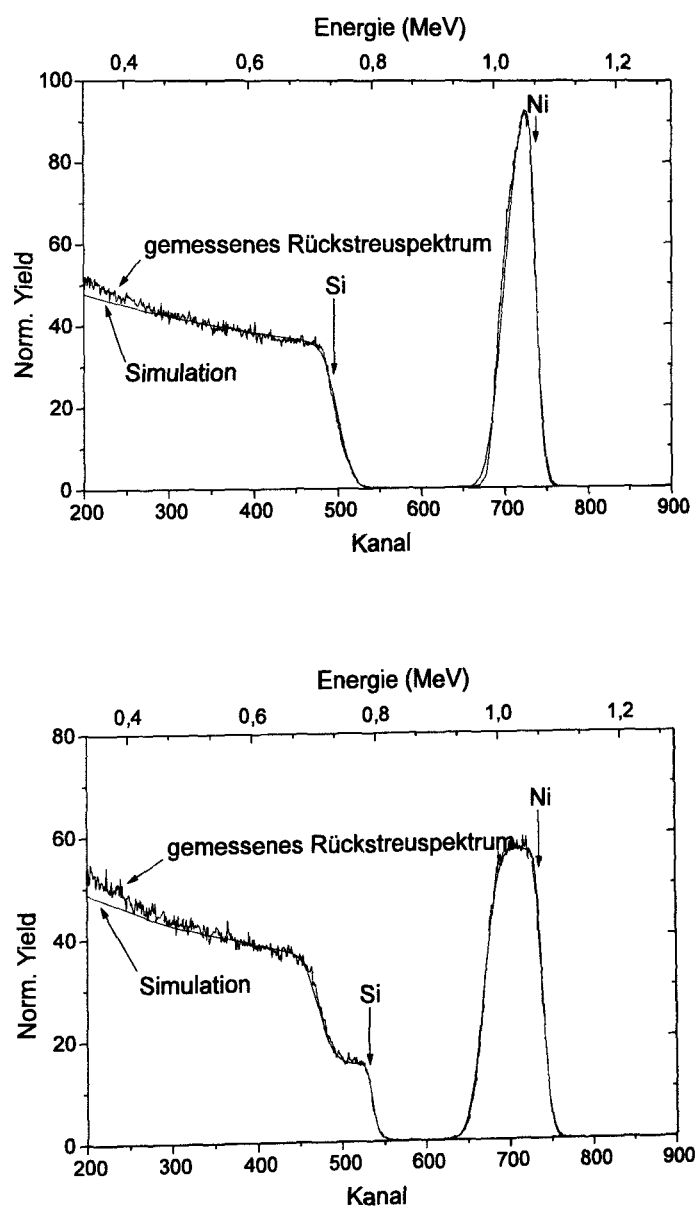


Abb. 6.2: RBS-Spektrum der NiSi-Bildung (s. Text)

Bei der folgenden Temperung in einem RTP-Ofen für 25 s bei 560 °C bildet sich an den Kontaktflächen das Silizid (Abb. 6.1.b). Dabei bilden sich aus 43 nm aufgebrachtem Nickel 115 nm Nickelsilizid. Der Nachweis der Silizidbildung und die Schichtdickenbestimmung erfolgten mittels RBS. Abb. 6.2 zeigt die gemessenen und simulierten RBS-Spektren der Nickelschicht auf Silizium (oben) und der nach dem Temperschritt entstandenen NiSi-Schicht (unten). Das überschüssige Nickel wird bei der nachfolgenden Ätzung in einem Gemisch aus H_2O_2 und HCl im Verhältnis 1:3 selektiv zum NiSi und Oxid entfernt (Abb. 6.1.c).

6.3.2 Messungen an TLM-Strukturen

Die Bestimmung der spezifischen Kontakt- und Schichtwiderstände der Halbleiteroberfläche erfolgte mittels Teststrukturen nach dem in Abb.6.3 dargestellten Leitungsmodell nach Berger (Transmission Line Model, TLM) [73]. Dabei wird ausgehend von rechteckigen Kontakten der Weite w und der Breite d der Stromfluß bzw. Spannungsabfall an Kontakt und Halbleiter durch ein Netzwerk dargestellt.

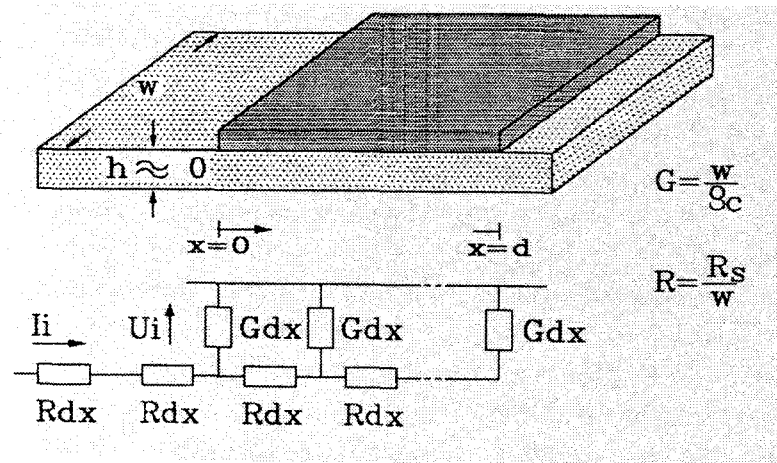


Abb. 6.3: Leitungsmodell nach Berger [73]

Zur Beschreibung des Widerstandverhaltens werden folgende Größen benutzt:

- der Schichtwiderstand R_S : Die Stromverteilung unterhalb des Kontaktes hängt von der Leitfähigkeit der Halbleiterschicht ab. Diese wird durch den Schichtwiderstand charakterisiert, der nur vom spezifischen Widerstand des Halbleiters und der Dicke der leitenden Schicht abhängt.
- der Kontaktwiderstand R_C : Dieser beschreibt den Gesamtwiderstand des Metall-Halbleiterkontaktes. Da der Stromfluß aufgrund von Spannungsabfällen in der Halbleiterschicht nicht einheitlich über die Kontaktfläche verteilt ist, ist der Kontaktwiderstand als alleinige Größe zur Charakterisierung der Kontakteigenschaften ungeeignet.
- der spezifische Kontaktwiderstand ρ_C : Im Gegensatz zum Kontaktwiderstand ist dieser nicht von der Geometrie des Kontaktes und der Halbleiterschicht abhängig, und somit ist er ein intrinsisches Merkmal des Metall-Halbleiter-Übergangs.

Für den Gesamtwiderstand R zwischen zwei Metallflächen im Abstand l voneinander findet man:

$$R = 2R_C + \frac{R_S}{W}l \quad (6.8)$$

Unter Berücksichtigung der Geometrie der verwendeten TLM-Teststrukturen gilt für den Kontaktwiderstand [73]:

$$R_C = \frac{1}{W} \sqrt{R_S \cdot \rho_C} \quad (6.9)$$

Mit Gleichung 6.8 folgt:

$$R(l) = \frac{2}{W} \sqrt{R_S \cdot \rho_C} + \frac{R_S}{W}l \quad (6.10)$$

Trägt man den gemessenen Widerstand zwischen zwei Kontakten R als Funktion der Abstände l auf, ergibt sich eine Gerade mit der Steigung $\frac{dR(l)}{dl} = \frac{R_S}{W}$ und dem y-Achsenabschnitt $R(0)$ (Abb. 6.4).

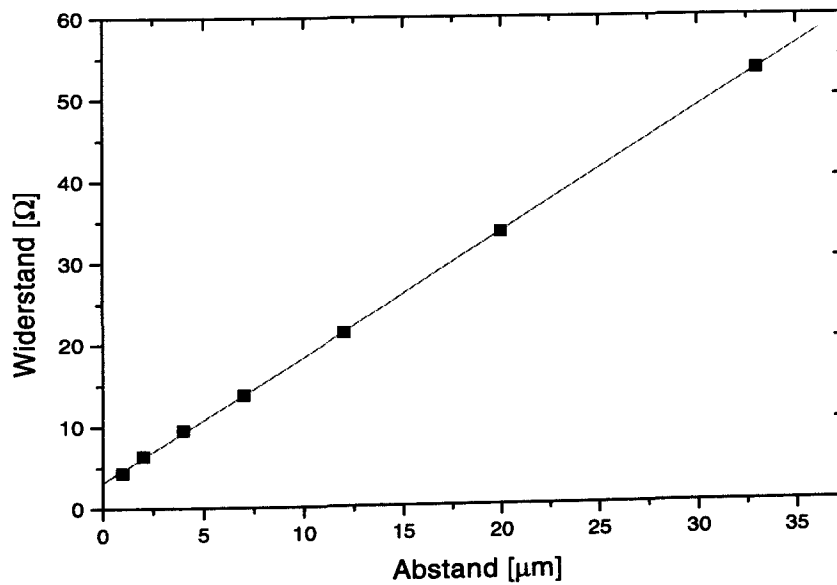


Abb. 6.4: Gemessene Widerstände R in Abhängigkeit der Kontaktabstände an einer TLM-Struktur. Aus Steigung und Achsenabschnitt der gefitteten Gerade lassen sich spezifischer Kontakt- und Schichtwiderstand berechnen.

Daraus lassen sich der Kontaktwiderstand und der Schichtwiderstand berechnen zu:

$$R_S = W \cdot \frac{dR(l)}{dl} \quad \text{und} \quad \rho_C = W \cdot \frac{R^2(0)}{4 \cdot \frac{dR(l)}{dl}} \quad (6.11)$$

Für die TLM-Messungen wurden Teststrukturen mit Kontaktgrößen von 3 bis 50 μm prozessiert. Die Strom-Spannungskennlinien zeigten ohmsches Verhalten. Die Messungen wurden in 4-Punkt Geometrie durchgeführt, um Einflüsse der Meßspitzen zu vermeiden. Die erzielten Kontaktwiderstände liegen bei $(7-10) \cdot 10^{-8} \Omega\text{cm}^2$ auf p-Silizium und sind damit in guter Übereinstimmung mit den Literaturwerten [14]. Die Schichtwiderstände wurden zu $40 \Omega/\square$ bestimmt.

6.4 Vertikale Gateoxide

Das Gateoxid ist einer der kritischsten Bestandteile eines MOSFET. Für leistungsfähige Transistoren sollte es eine glatte Si-SiO₂-Grenzfläche bilden und eine hohe Durchbruchfeldstärke besitzen. Grenzflächenzustände, feste und bewegliche Ladungen im Oxid können zu einer Verschiebung der Schwellspannung und zu einer Hysterese in den elektrischen Kennlinien des Transistors führen. Daher sollten Gateoxide weiterhin eine geringe Oxidladungs- und Grenzflächenzustandsdichte aufweisen.

Diese Anforderungen werden sehr gut von thermischen, insbesondere trocken gewachsenen Oxiden erfüllt, so daß diese standardmäßig als Gateoxide verwendet werden. Daher wurden auch für den V-FET Trockenoxide mit Dicken von 6 bis 10 nm eingesetzt. Für Kurzkanaltransistoren wurde HiPOx-Oxid benutzt, um Diffusion des Dotierprofils zu vermeiden.

Problematischer ist die Erzeugung eines hochwertigen Gateoxids für den VOXFET. Da hier im Gegensatz zum V-FET das Gateoxid vor dem Wachsen der Transistorstruktur erzeugt wird, muß entweder das als Gateelektrode dienende Polysilizium oxidiert oder ein Depositionsoxid benutzt werden. Beide Ansätze sind verfolgt worden und werden im folgenden diskutiert.

6.4.1 Thermische Oxide

Zur Erzeugung eines thermischen Gateoxids beim VOXFET muß das zwischen den zwei Oxidlagen des Schichtstapels eingebettete Polysilizium oxidiert werden. Dies kann durch eine Trocken-, Feucht-, Hochdruck- oder RTP-Oxidation erfolgen. Die Oxidationsarten unterscheiden sich in ihrer Prozeßatmosphäre und der thermischen Belastung der Probe. Zur Untersuchung der Oxidation wurden Oxide gleicher Nominaldicke mit den unterschiedlichen Methoden hergestellt.

Dabei stellte sich heraus, daß in allen Fällen das Polysilizium ungleichmäßig oxidiert: Während die Oxidation in mittlerer Höhe des Polysiliziums beschleunigt stattfindet, oxidieren die Randbereiche langsamer (Abb.6.5). Ursache für die ungleichmäßige Oxidationsrate könnten mechanische Spannungen im Silizium sein [74]. Als Folge haben die resultierenden Oxide eine inhomogene Dicke und sind daher als Gateoxide nicht geeignet. Somit muß für den VOXFET auf Depositionsoxide ausgewichen werden.

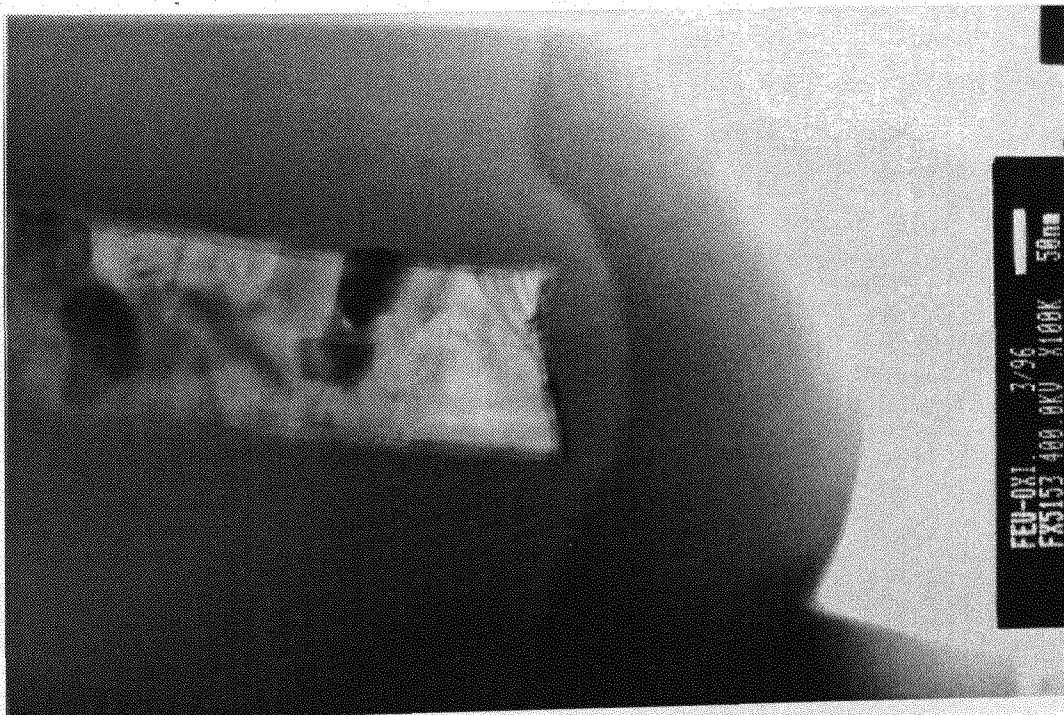


Abb. 6.5: TEM-Aufnahme eines thermischen Gateoxids

6.4.2 Depositionsoxide

Als Alternative zu thermischen Oxiden wurde PECVD-Depositionsoxid auf seine Eignung als Gateoxid hin untersucht. Dieses wird mit Hilfe einer modifizierten Spacertechnologie hergestellt [12]: Dazu wird zunächst ein PECVD-Oxid über die strukturierte Probe deponiert. Zur Verbesserung der elektrischen Eigenschaften wird dieses im RTO für eine Minute bei 900 °C unter Stickstoffatmosphäre getempert. Das Oxid wird mit einer 50 nm dicken PECVD-deponierten Nitridschicht geschützt, damit es beim Freilegen des Substrats nicht angegriffen wird. Nach der anisotropen Ätzung wird das Schutznitrid naßchemisch in Phosphorsäure entfernt und die Probe gereinigt, um die im RIE Prozeß entstehenden Polymere zu entfernen.

Die Dicke der dünnsten so hergestellten, elektrisch dichten Depositionsgateoxide liegt bei etwa 9 nm (Abb. 6.6). Solche Gateoxide wurden für die im Rahmen dieser Arbeit hergestellten VOXFET-Transistoren eingesetzt.

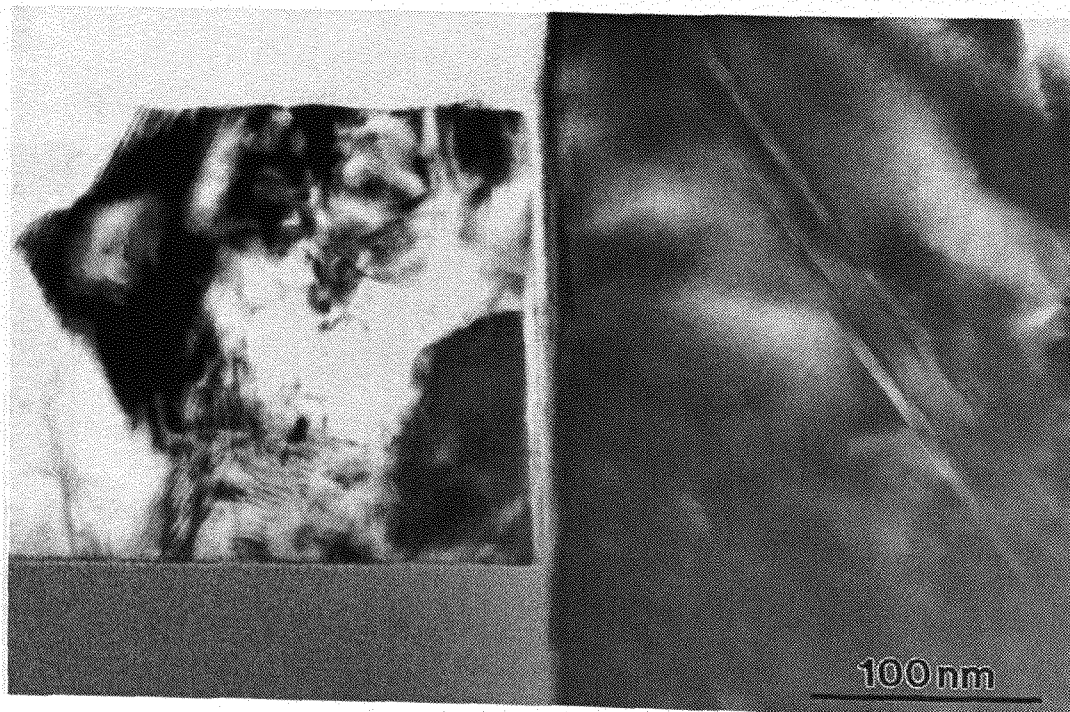


Abb. 6.6: TEM-Aufnahme eines deponierten Gateoxids

6.5 Technologie des V-FET

In den folgenden zwei Kapiteln wird die Technologie des p-Kanal-V-FET und die des p-Kanal-VOXFET diskutiert. Teile der Prozessierung wurden von den Herren Dr. J. Moers und A. Tönnemann vorgenommen. Die Epitaxien wurden von Frau S. Wickenhäuser, Frau Dr. L. Vescan und Herrn Dr. R. Loo durchgeführt. Eine Zusammenfassung der Prozeßdaten findet sich im Anhang.

Ausgehend von einem schwach n-dotierten Si-(100)-Substrat ($\rho > 1000 \Omega\text{cm}$) wird mit der Herstellung der p-dotierten Wanne begonnen. Die Bereiche, die nicht implantiert werden sollen, werden durch eine Maskierungsschicht geschützt. Dazu dient eine ein μm dicke Siliziumdioxidschicht, die durch thermische Oxidation bei 1100°C erzeugt wird. Die zu implantierenden Bereiche werden mittels optischer Lithographie definiert, und das Oxid wird an diesen Stellen anisotrop bis auf das Substrat geätzt. Um die implantierten Bereiche bei späteren Belichtungen wiederfinden zu können, wird eine zusätzliche Oxidation („Opferoxidation“) von 100 nm Oxid bei 1050°C eingefügt. Dabei wird der strukturierte Bereich lokal oxidiert, und die Si-SiO₂-Grenzfläche verschiebt sich in diesen Bereichen um etwa 45 nm nach unten. Nach Entfernung des Opferoxids lassen sich die strukturierten Bereiche im Mikroskop gut erkennen.

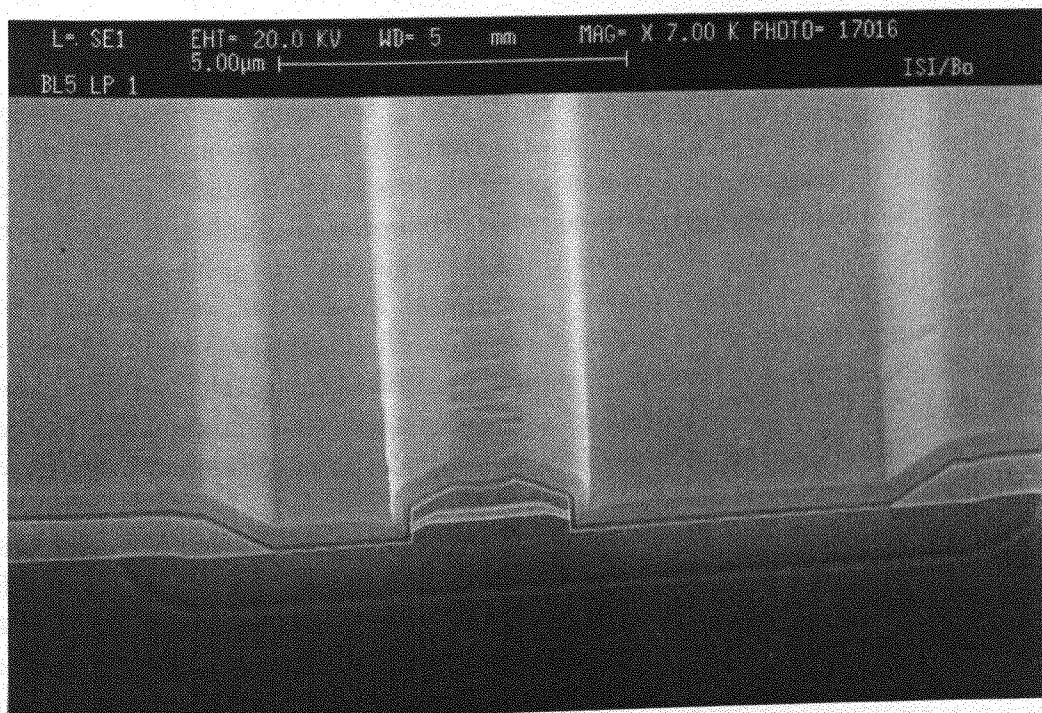


Abb. 6.7: REM-Aufnahme eines V-FET auf p-Wanne

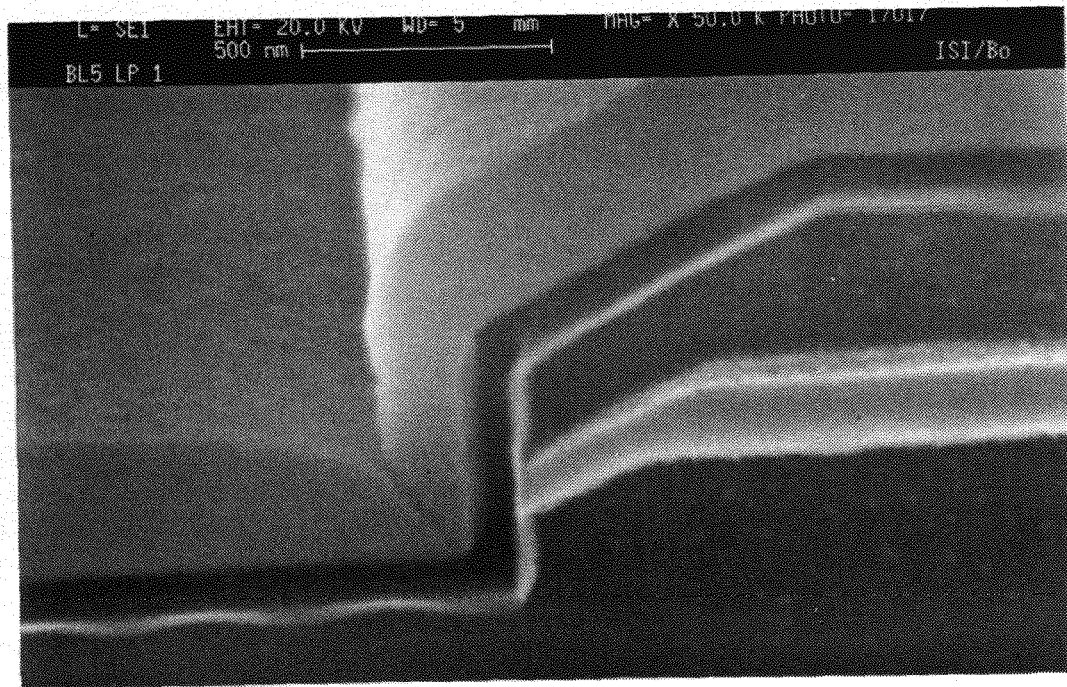


Abb. 6.8: REM-Aufnahme eines V-FET. Man erkennt die epitaktisch gewachsene Transistorstruktur mit Facetten, das Gateoxid (hell) mit dem deponierten Polysilizium (dunkel) und das Deckoxid.

Die Proben werden mit einer Dosis von $4 \cdot 10^{15} \text{ cm}^{-2}$ bei einer Energie von 80 keV implantiert. Die Implantationen wurden von Herrn Aufermann an der Ruhr-Universität Bochum durchgeführt. Um den geschädigten Kristall auszuheilen und die implantierten Bor-Atome elektrisch zu aktivieren, werden die Proben im Diffusionsofen 40 min bei 950 °C unter Stickstoffatmosphäre getempert (s. Kapitel 5.1.2).

Auf die vorstrukturierten Wafer wird ein 700 nm dickes PECVD-Oxid (Feldoxid) deponiert. In dieses werden Fenster mit senkrechten Flanken geätzt. Da in diese Fenster die aktive Transistorstruktur selektiv eingewachsen wird, müssen die Flanken sehr steil sein. Mit einem einfachen Photolack als Resist ist das nicht realisierbar, da auch der Lack während der RIE-Ätzung angegriffen wird. Dadurch kommt es während der Ätzung zu einer Verbreiterung der Strukturen und zu abgeschrägten Flanken. Daher wurde zur Strukturierung eine aus einem Mehrschichtsystem bestehende Ätzmaske benutzt („Dreilagentechnik“). Die untere Schicht bildet ein ausgehärteter Photolack (AZ5214). Darauf werden 50 nm Oxid deponiert. Die obere Schicht bildet ein Photolack (AZ 5206), der mittels optischer Lithographie strukturiert wird. Dieser dient als Ätzmaske für die Oxidschicht, so daß die Struktur in das dünne Oxid übertragen werden kann. Das Oxid wiederum dient als Ätzmaske

für den unteren Lack. Da der Photolack in der RIE mit einem Sauerstoffplasma geätzt wird und das Oxid von diesem Plasma nicht angegriffen wird, wird die in der dünnen Oxidschicht des Dreilagelackes eingeschriebene Struktur derart in den unteren Lack übertragen, daß dieser senkrechte Flanken hat. Nachdem der untere Lack strukturiert ist, dient er als Ätzmaske für die Probe, die bis auf das Substrat zurückgeätzt wird.

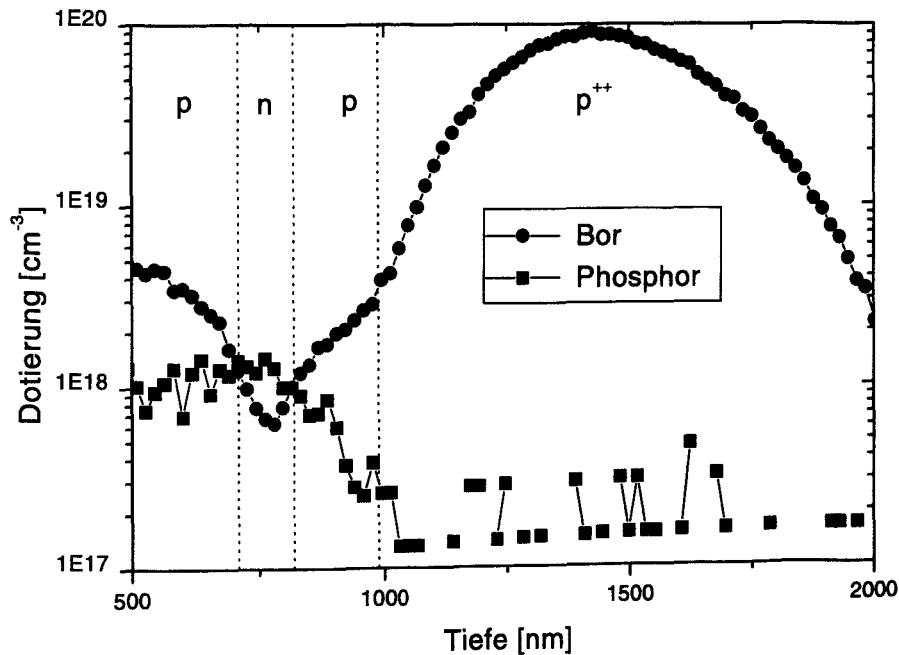


Abb. 6.9: SIMS-Spektrum einer p-n-p-Transistorstruktur auf p-Wanne

Nach einer modifizierten RCA-Reinigung wird die aktive Transistorstruktur selektiv in das Oxidfenster eingewachsen. Unmittelbar vor Einbau der Probe in den Reaktor der LPCVD erfolgt ein HF-Dip, um die nach der Reinigung an der Substratoberfläche vorhandene Oxidschicht zu entfernen. Das Einwachsen der p-n-p-dotierten Schicht in den strukturierten Schichtstapel findet bei $800\text{ }^{\circ}\text{C}$ statt.

Nach der Epitaxie wird das Feldoxid um die Transistorstruktur herum mit einer gepufferten HF-Lösung (AF 91-09) entfernt, um die Seitenwände freizulegen und eine Sourcekontaktierung zu ermöglichen. Dazu wird der nicht zu ätzende Bereich durch gehärteten Photolack maskiert.

Nach einer Reinigung wird das Gateoxid erzeugt. Im Gegensatz zum VOXFET kann für den V-FET ein thermisches Gateoxid benutzt werden. Es wurden Trocken-

oxide zwischen 6 und 10 nm gewachsen. Zur Herstellung von Kurzkanaltransistoren ($L_G < 100$ nm) wurde wegen des geringeren thermischen Budgets HiPOx-Oxid eingesetzt, so daß das gewachsene Dotierprofil nur wenig verläuft. Nach der Oxidation wird in einer LPCVD 130 nm in situ n-dotiertes Polysilizium, das später als Gateelektrode dient, deponiert. Die Kristallisation und die Aktivierung der Dotieratome erfolgen in einem RTP-Temperprozeß bei 850 °C. Die Gateoxidation und die Deposition des Polysiliziums wurden von Herrn Dr. T. Grabolla am Institut für Halbleiterphysik in Frankfurt/Oder durchgeführt.

Um das Polysilizium elektrisch zu isolieren, wird ein 400 nm dickes Deckoxid deponiert. Zur Trennung der Transistoren werden das Oxid und das Polysilizium zwischen den Transistoren mittels Dreilagentechnik und anschließender RIE-Ätzung entfernt, so daß diese nur noch um den aktiven Bereich der einzelnen Transistoren verbleiben. Anschließend wird die Probe gereinigt und das Polysilizium seitlich durch Oxidspacer isoliert.

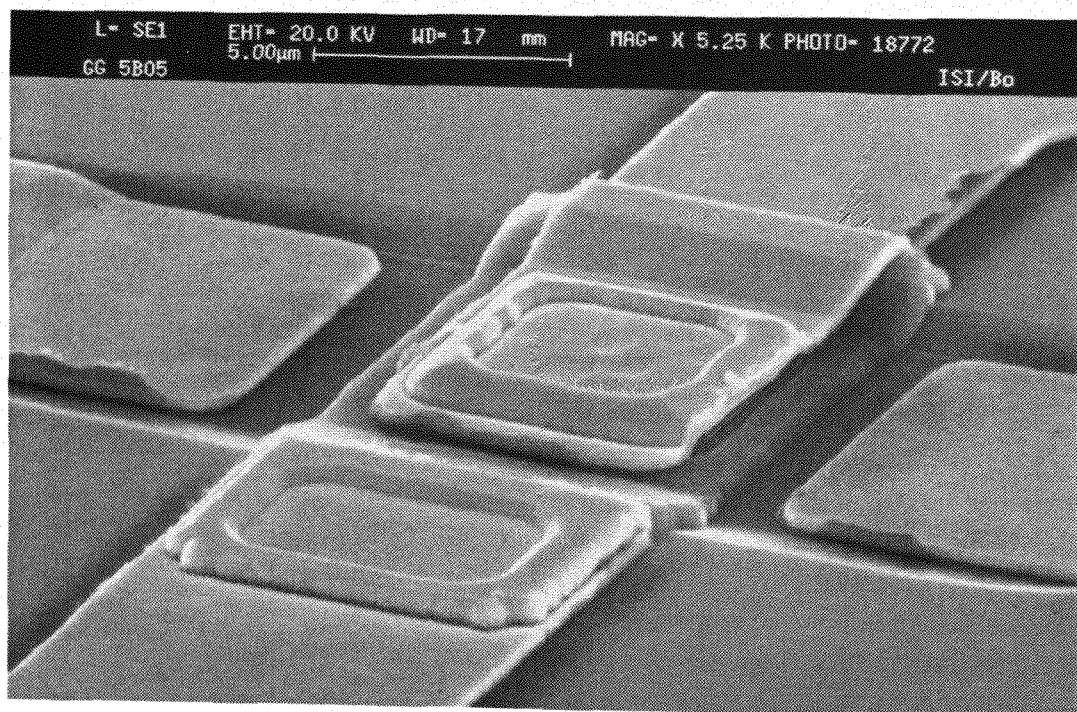


Abb. 6.10: REM-Aufnahme eines fertig prozessierten V-FET

Nach der Strukturierung der Gatekontaktlöcher werden die Kontakte realisiert. Hierzu wird in einem SALICIDE-Prozeß an den Kontaktflächen ein Silizid erzeugt, das die ohmsche Kontaktierung gewährleistet (s. Kapitel 6.3.1). Abschließend wird mittels Umkehrprozeß und Lift-Off-Technik eine Chrom-Gold-Metallisierung aufgebracht. Abb. 6.10 zeigt eine REM-Aufnahme eines fertigen V-FET.

6.6 Technologie des VOXFET

Die Vorstrukturierung der p-dotierten Wanne erfolgt analog zum V-FET. Auf die vorstrukturierten Wafer wird mittels LPCVD ein Oxid-Polysilizium-Oxid-Schichtsystem deponiert. Die Oxide werden in einem TEOS-Prozeß abgeschieden. Das Silizium, das später als Gate-Elektrode dient, ist in situ n-dotiert. Bei 900 °C wird das deponierte Silizium kristallisiert und die Phosphor-Dotierung elektrisch aktiv eingebaut. Die Dicke des unteren Oxides beträgt 200 nm, die des Polysiliziums 210 nm. Das obere Oxid ist mit 340 nm dicker als das untere, um laterales Überwachsen bei der Epitaxie zu verhindern. Die Deposition des Schichtstapels wurde von Herrn Dr. T. Grabolla am Institut für Halbleiterphysik in Frankfurt/Oder durchgeführt.

Anschließend werden mittels Dreilagentechnik (s. Kapitel 6.5) Fenster in den Schichtstapel geätzt und das vertikale PECVD-Gateoxid deponiert (s. Kapitel 6.4.2). Dieses wird mit einer Nitridschicht geschützt, damit es beim Freilegen des Substrats mittels anisotroper Ätzung nicht angegriffen wird. Anschließend wird das Schutznitrid naßchemisch in Phosphorsäure entfernt und die Probe gereinigt, um die beim Trockenätzen entstehenden Polymere zu entfernen.

Nach der Deposition des Gateoxides wird die aktive Transistorstruktur selektiv in den Schichtstapel eingewachsen (Abb. 6.11). Vor Einbau in die LPCVD wird die Probe naßchemisch gereinigt. Auf einen HF-Dip muß an dieser Stelle verzichtet werden, da dieser das Gateoxid angreifen würde. Vor dem Wachstum wird die nach der Reinigung an der Substratoberfläche vorhandene dünne Oxidschicht durch einen Ausheisschritt bei 900 °C entfernt (s. Kapitel 4 und 5.3). Das Einwachsen der p-n-p-dotierten Schicht in den strukturierten Schichtstapel findet bei 800 °C statt.

Die Dicken der unterschiedlich dotierten Bereiche sind über die Wachstumszeiten definiert. Da sich beim VOXFET Kanal und Gate nicht selbstjustierend gegenüberstellen, wie es beim V-FET (und lateralen Transistoren) der Fall ist, muß darauf geachtet werden, daß der n-dotierte Bereich in der richtigen Höhe liegt. Das wird dadurch erschwert, daß das Anwachsverhalten der epitaktischen Schicht durch Kontaminationen an der Grenzfläche zum Substrat verzögert werden kann [12]. Die Kanallänge L_G ist durch die Dicke der n-dotierten Schicht an der Silizium-Gateoxid-Grenzfläche gegeben.

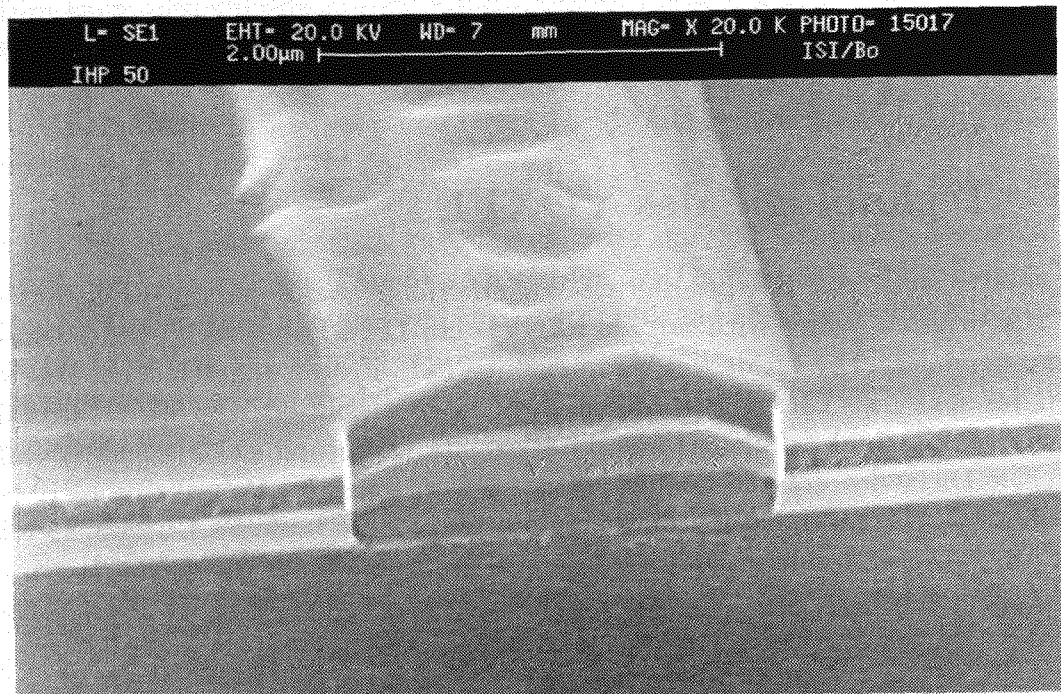


Abb. 6.11: REM-Aufnahme einer VOXFET-Transistorstruktur

Zur Trennung der Transistoren werden das obere Oxid und das Polysilizium des Schichtstapels zwischen den Transistoren mittels Dreilagentechnik und anschließender RIE-Ätzung entfernt, so daß diese Schichten nur noch den aktiven Bereich der einzelnen Transistoren umgeben. Das untere Oxid bleibt stehen, damit die Metallisierung vom Substrat isoliert ist.

Nach der Ätzung wird die Probe naßchemisch gereinigt. Das Polysilizium wird seitlich mit einem Oxid-Spacer isoliert. Dazu wird in der PECVD eine 350 nm dicke SiO_2 -Schicht deponiert. Mittels eines anisotropen Ätzschrittes in der RIE wird die Oxidschicht auf planaren Flächen wieder entfernt, lediglich an der Seitenwand bleibt das deponierte SiO_2 stehen. Um Trenching, d.h. Grabenbildung am Fuß einer vertikalen Flanke, zu vermeiden, wird vor dem RIE-Schritt eine Planarisierung durchgeführt.

Nach der Herstellung der Substrat- und Gatekontaktlöcher werden die ohmschen Kontakte angebracht. Wie beim V-FET wird in einem nickelbasierten SALICIDE-Prozeß ein Silizid erzeugt, das die ohmsche Kontaktierung gewährleistet (s. Kapitel 6.3.1). Die abschließende Cr-Au-Metallisierung erfolgt mittels Umkehrprozeß und Lift-Off-Technik. Abb. 6.12 zeigt eine REM-Aufnahme eines fertigen VOXFET.

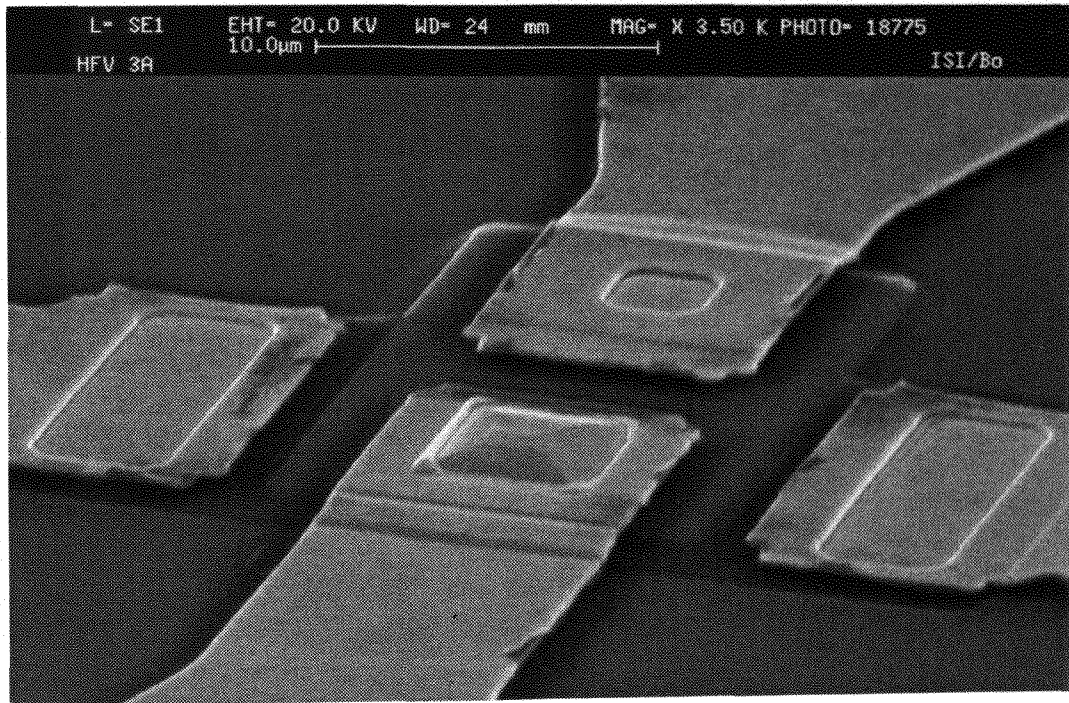


Abb. 6.12: REM-Aufnahme eines fertig prozessierten VOXFET

Kapitel 7

Elektrische Charakterisierung

7.1 DC-Charakterisierung

In diesem Kapitel werden die gemessenen Ausgangs- und Transferkennlinienfelder von V-FET und VOXFET diskutiert. Die Strom-Spannungs-Kennlinien wurden mit einem Semiconductor Parameter Analyser 4145 B der Firma Hewlett Packard aufgenommen.

7.1.1 Kennlinien des V-FET

Aufbauend auf der von J. Moers angegebenen Prozeßfolge wurden V-FETs mit verbesserten elektrischen Eigenschaften hergestellt. So konnte durch eine Kontaktimplantation und einen optimierten nickelbasierten SALICIDE-Prozeß (s. Kapitel 6.3) die ohmsche Kontaktierung wesentlich verbessert werden.

Da die elektrischen Eigenschaften der V-FETs von ihrer Mesaseitenorientierung abhängen, wurden Transistoren mit unterschiedlicher Orientierung hergestellt (s. u.). Mit einem modifizierten Layout konnten funktionsfähige Transistoren mit Kanallängen bis $1\text{ }\mu\text{m}$ hergestellt werden.

Zur Reduzierung der Gate-Source-Überlappkapazität und zur elektrischen Trennung der Sourcekontakte wurden V-FETs auf einer p-dotierter Wanne (s. Kapitel 5) gebaut. Erste funktionsfähige V-FETs auf p-Wanne zeigten aufgrund einer fehlerhaften Kontaktierung Steilheiten von nur 30 mS/mm .

Für Transistoren mit Kanallängen unter 100 nm wurde ein HiPOx-Gateoxid benutzt, um Diffusion des Dotierprofils zu vermeiden. Die Dicke der dünnsten elektrisch dichten HiPOx-Oxide lag bei 12 nm . D. Behammer demonstrierte die Funktionsfähigkeit von V-FETs mit Kanallängen bis 45 nm [8].

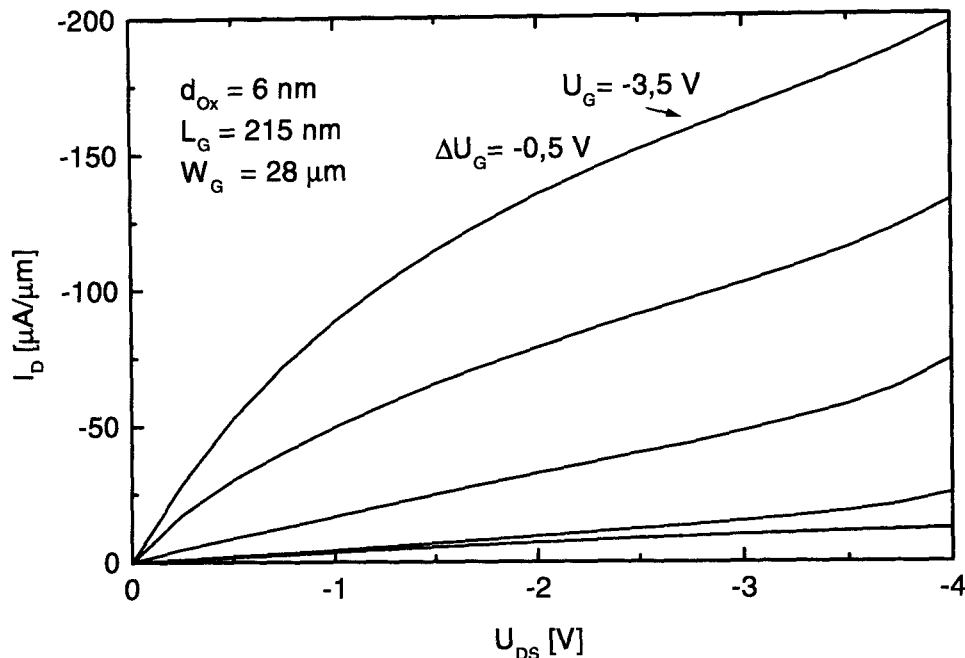


Abb. 7.1: Ausgangskennlinien eines p-Kanal-V-FET mit $\langle 100 \rangle$ -Mesaorientierung

In Abb. 7.1 sind die Ausgangskennlinien eines p-Kanal-V-FET mit einer Gateoxid-dicke von 6 nm und einer Kanallänge von 215 nm dargestellt. Der Transistor zeigt typisches Kurzkanalverhalten. Die erzielte Steilheit liegt bei 150 mS/mm. Die Schwellspannung beträgt -1,8 V. Dieser Wert ist - wie auch bei allen anderen untersuchten Transistoren - aufgrund des verwendeten n-dotierten Polysiliziumgates sehr hoch. Durch Verwendung eines p-dotierten Gates könnte die Schwellspannung um ein Volt gesenkt werden. Die Unterschwellsteigung dieses Transistors liegt bei 150 mV/dec. Der Off-Strom zeigt eine starke Abhängigkeit von der angelegten Drainspannung (Durchgriff).

Um den Einfluß der Mesaorientierung auf die elektrischen Eigenschaften der Transistoren zu untersuchen, wurden auf einem Wafer V-FETs mit unterschiedlicher Fensterorientierung und daraus resultierender unterschiedlicher Orientierung der epitaktisch gewachsenen Mesaseitenflächen hergestellt.

Abb. 7.2 zeigt die gemessenen Kennlinien für V-FETs mit einer Kanalweite von 20 μm . In Abb. 7.3 sind die zugehörigen Transferkennlinienfelder dargestellt. Zu erkennen ist, daß die Transistoren mit Seitenflächen parallel zur $\langle 100 \rangle$ -Richtung des Substrates ein deutlich besseres Schaltverhalten zeigen. Die gemessene Steilheit erhöht sich von 120 mS/mm auf 150 mS/mm, die Schwellspannung U_{TH} verrin-

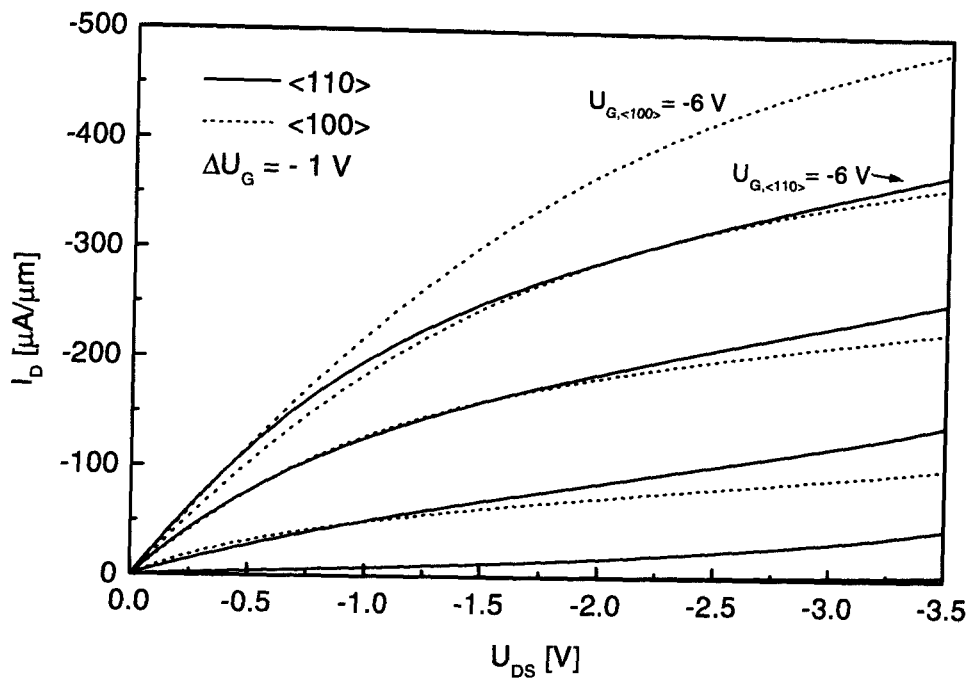


Abb. 7.2: Vergleich der Ausgangskennlinien von V-FETs mit unterschiedlicher Mesaorientierung

gert sich von -2,4 V auf -1,9 V, und die Unterschwellsteigung S verbessert sich von 240 mV/dec auf 105 mV/dec.

In Tabelle 7.1 sind die geometrischen und elektrischen Kenngrößen der Transistoren zusammengefaßt.

Die Unterschiede im elektrischen Verhalten beruhen auf mehreren Effekten. Da die Oxidationsrate in $\langle 100 \rangle$ -Richtung kleiner ist als die in $\langle 110 \rangle$ -Richtung, erhält man unter gleichen Oxidationsbedingungen für die $\langle 100 \rangle$ -orientierten Transistoren ein dünneres Gateoxid. Bei der verwendeten Trockenoxidation (5 min, 800 °C)

	Fenster parallel zu $\langle 110 \rangle$	Fenster parallel zu $\langle 100 \rangle$
I_G	200 nm	215 nm
d_{Ox}	8 nm	6 nm
g_m	120 mS/mm	150 mS/mm
U_{TH}	- 2,4 V	- 1,9 V
S	240 mV/dec	105 mV/dec

Tab. 7.1: Geometrische und elektrische Eigenschaften der V-FETs

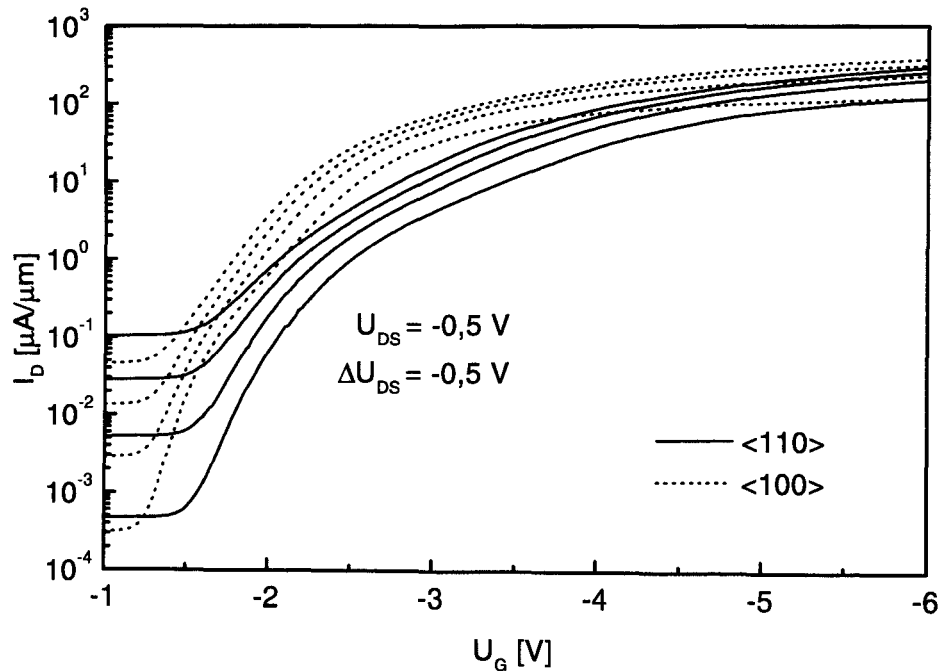


Abb. 7.3: Vergleich der Transferkennlinien von V-FETs mit unterschiedlicher Mesaorientierung

entsteht ein 8 nm dickes Gateoxid in $\langle 110 \rangle$ -Richtung, während die Dicke des in $\langle 100 \rangle$ -Richtung gewachsenen Oxids 6 nm beträgt. Das unterschiedliche Facettenwachstum an den Strukturrändern führt zu verschiedenen effektiven Kanallängen. So bilden sich beim Wachsen einer 350 nm dicken Bulk-Schicht ein 200-nm-Kanal in der $\langle 311 \rangle$ -Facette und ein 215-nm-Kanal in der $\langle 111 \rangle$ -Facette. Zusätzlich können die Dotierungen in den auftretenden Facetten, und damit die Kanaldotierungen, voneinander abweichen. Hinweise auf Unterschiede in der Qualität der Si-SiO₂-Grenzfläche gibt es nicht.

7.1.2 Kennlinien des VOXFET

Aufbauend auf Arbeiten von J. Moers wurden VOXFETs mit verbesserten ohmschen Kontakten, kürzerer Kanallänge und dünnerem Gateoxid gefertigt. Durch den Bau der Transistoren auf einer p-dotierten Wanne konnten die Sourcekontakte der Transistoren elektrisch voneinander getrennt werden. Dabei werden gleichzeitig die parasitären Gate-Source-Kapazitäten erheblich reduziert, was für das Wechselstromverhalten von Bedeutung ist (Kapitel 7.2).

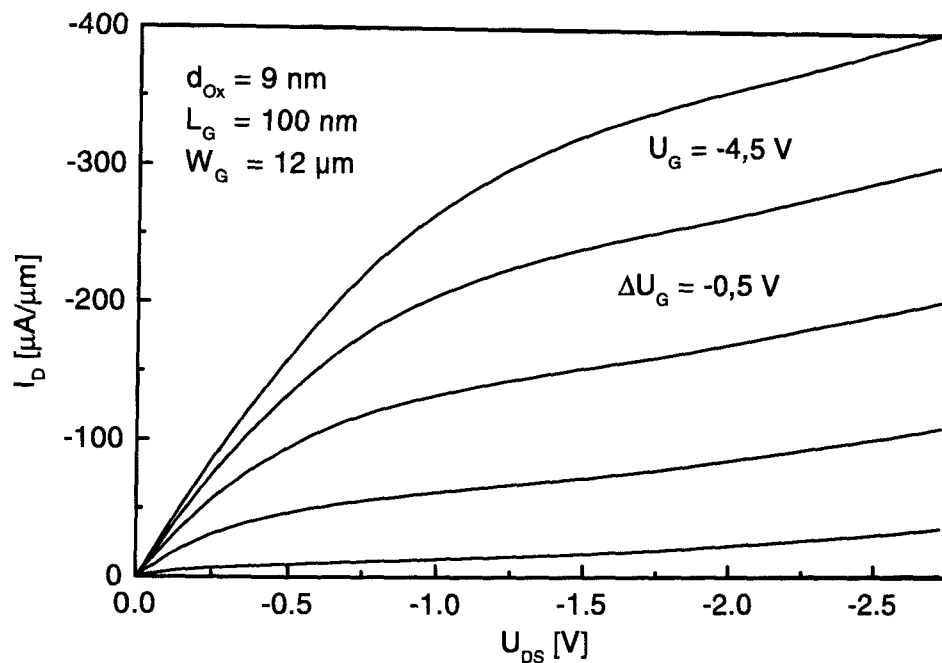


Abb. 7.4: Ausgangskennlinien eines p-Kanal-VOXFET

Abb. 7.4 zeigt die gemessenen Ausgangskennlinien eines optimierten p-Kanal-VOXFET mit einer Kanallänge von 100 nm und einer Gateoxiddicke von 9 nm. Der Gateumfang des Transistors beträgt 12 μm . Die erreichte Steilheit liegt bei 200 mS/mm. Während J. Moers aufgrund von Kanal-Gate-Fehljustierungen und hoher parasitärer Zuleitungswiderstände eine starke Source-Drain-Asymmetrie der gemessenen Kennlinien fand, waren die Unterschiede zwischen Source-on-Top und Source-on-Bottom-Konfiguration hier wesentlich geringer.

In Abb. 7.5 ist das Transferkennlinienfeld des Transistors dargestellt. Die Unterschwelsteigung beträgt 115 mV/dec bei einer Schwellspannung von $U_{TH} = -2.2\text{ V}$. Wie beim V-FET ließe sich durch Verwendung eines p-dotierten Gates die Schwellspannung um ein Volt senken. Eine weitere Reduzierung der Schwellspannung ist durch Verringerung der Gateoxiddicke zu erwarten. Die draininduzierte Barriererniedrigung DIBL beträgt 76 mV/V.

Die Transistoren zeigen typisches Kurzkanalverhalten: Die Off-Ströme sind recht hoch und von der angelegten Drainspannung abhängig (Durchgriff). Eine Verbesserung ließe sich auf Kosten der Steilheit durch Erhöhung der Kanaldotierung erzielen.

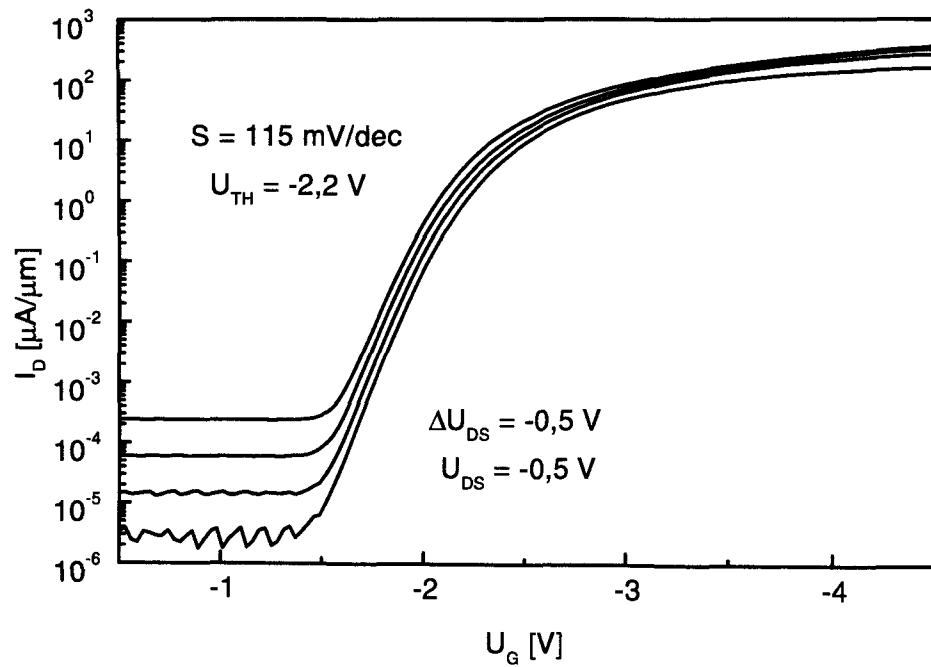


Abb. 7.5: Transferkennlinien eines p-Kanal-VOXFET

Im Gegensatz zum V-FET zeigt der VOXFET keine wesentliche Abhängigkeit der elektrischen Eigenschaften von der Mesoorientierung, da hier die Epitaxie erst nach Erzeugung des Gateoxids gewachsen wird. Die trotz des relativ dicken Gateoxids guten elektrischen Eigenschaften des Transistors demonstrieren die Eignung des Depositionsgateoxids.

7.2 HF-Charakterisierung

7.2.1 Die Streuparameter

Die übliche Vierpoldarstellung eines Transistors mit h-, Y- oder Z-Parametern, die zur Charakterisierung eines Bauelementes herangezogen werden kann, erfordert die Messung mit offenem bzw. kurzgeschlossenem Ein- und Ausgang. Bei hohen Frequenzen (> 500 MHz) läßt sich aber weder ein ideal offener noch ein ideal kurzgeschlossener Ausgang realisieren, da immer eine kapazitive bzw. induktive Rückkopplung besteht.

Aus diesem Grund ist die Beschreibung mittels Streuparametern (S-Parametern) vorzuziehen. Dabei werden Spannungen und Ströme durch ein- und auslaufende Wellen ersetzt, so daß die Randbedingungen Kurzschluß und Leerlauf durch den Abschluß mit Wellenwiderstand an Ein- und Ausgang ersetzt werden können. Die S-Parameter sind dabei wie folgt definiert:

$$\begin{aligned} S_{11} &= \frac{b_1}{a_1} & S_{12} &= \frac{b_1}{a_2} \\ S_{21} &= \frac{b_2}{a_1} & S_{22} &= \frac{b_2}{a_2} \end{aligned}$$

Dabei sind a und b ein- und auslaufende Wellen an Ein- und Ausgang des Transistors (Abb. 7.6). Die S-Parameter sind komplexe Größen, sie besitzen also Amplitude und Phase.

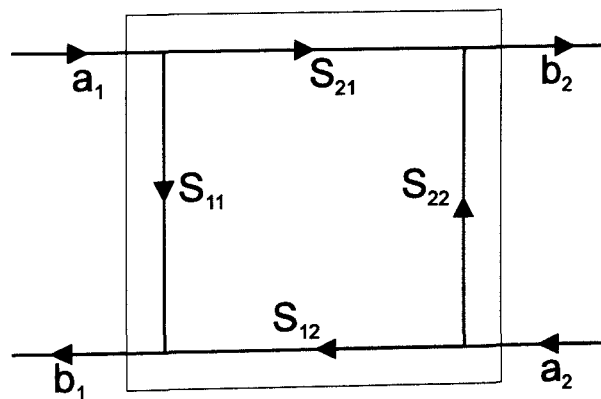


Abb. 7.6: Darstellung der S-Parameter eines 2-Tors

Gemessen werden die S-Parameter mit einem Networkanalyser der Firma Hewlett-Packard, Typ HP 8510 B, der Messungen im Frequenzbereich 0,045 - 26,5 GHz gestattet. Zur Auswertung werden aus den S-Parametern die Verstärkungen und Grenzfrequenzen berechnet (Kapitel 7.2.2). Für die weitere Auswertung der HF-Messung wird das Ersatzschaltbild eines Feldeffekttransistors herangezogen (Kapitel 7.2.3).

7.2.2 Leistungsverstärkungen und Grenzfrequenzen

Da die Verstärkung eines Transistors von der äußeren Beschaltung abhängt, werden durch Vorgabe von Quell- und Lastimpedanz verschiedene Definitionen für die Verstärkung festgelegt, die sich aus den gemessenen S-Parametern berechnen lassen:

Der K-Faktor

Eine wichtige Hilfsgröße ist der Stabilitätsfaktor (K-Faktor), der darüber Auskunft gibt, in welchem Frequenzbereich der Transistor zum Schwingen neigen kann:

$$K = \frac{1 + |S_{11}S_{22} - S_{12}S_{21}|^2 - |S_{11}|^2 - |S_{22}|^2}{2|S_{12}||S_{21}|} \quad (7.1)$$

GU (Unilateral Gain)

Jeder Transistor besitzt eine meist kapazitive Rückwirkung des Ausgangs auf den Eingang. Mit GU wird die Leistungsverstärkung bezeichnet, die man bei Kompensation dieser Rückwirkung durch ein verlustfreies reziprokes Neutralisationsnetzwerk erhält:

$$GU = \frac{\left| \frac{S_{21}}{S_{12}} - 1 \right|^2}{2 \left(K \cdot \left| \frac{S_{21}}{S_{12}} \right| - \operatorname{Re} \left(\frac{S_{21}}{S_{12}} \right) \right)} \quad (7.2)$$

h_{21} (Kurzschlußstromverstärkung)

h_{21} gibt die Stromverstärkung des am Ausgang kurzgeschlossenen Transistors an:

$$h_{21} = \frac{-2S_{21}}{(1 - S_{11})(1 + S_{22}) + S_{12}S_{21}} \quad (7.3)$$

Grenzfrequenzen

Zur Charakterisierung des Hochfrequenzverhaltens der im Rahmen dieser Arbeit hergestellten MOSFETs werden die Transitfrequenz und die maximale Schwingfrequenz herangezogen. Als Transitfrequenz bezeichnet man die Frequenz, bei der die Stromverstärkung gerade eins ist: $h_{21}(f_T) = 1$.

Im Wechselstromfall gilt für Gate- und Drainstrom:

$$\Delta I_G = \omega C_{GS} \Delta U_G \quad \text{und} \quad \Delta I_D = g_m \Delta U_G \quad (7.4)$$

Die erste Gleichung gilt unter der Annahme eines rein kapazitiven Gatestromes. Für die Kurzschlußstromverstärkung ergibt sich:

$$h_{21} = \frac{\Delta I_D}{\Delta I_G} = \frac{g_m}{\omega C_{GS}} \quad (7.5)$$

Für die Transitfrequenz folgt:

$$f_T = \frac{g_m}{2\pi C_{GS}} \quad (7.6)$$

Zur Erzielung einer hohen Transitfrequenz sind also eine hohe Steilheit und eine kleine Gate-Source-Kapazität notwendig. Für eine hohe Steilheit sind nach Gleichung 2.8 eine kurze Kanallänge und ein dünnes Gateoxid nötig. Zur Reduzierung der Gate-Sourcekapazität wurden die Transistoren auf einer p-dotierten Wanne gebaut. Dadurch konnte die parasitäre Kapazität zwischen Polysilizium-Gate bzw. dessen Metallisierung und dem als Source dienenden Substrat wesentlich reduziert werden (Kapitel 7.2.3).

Trägt man die Kurzschlußstromverstärkung gemäß Gleichung 7.5 doppeltlogarithmisch als Funktion der Frequenz auf, erhält man eine Gerade. Üblich ist, die Verstärkung in [dB] anzugeben, so daß sich die Transitfrequenz als Schnittpunkt dieser Geraden mit der Abszisse ergibt.

Die Transitfrequenz f_T charakterisiert die intrinsischen Eigenschaften eines Transistors, da sie von intrinsischen Größen wie Steilheit, Gatekapazität, Kanallänge und Kanalbeweglichkeit bestimmt wird.

Eine weitere Größe zur Charakterisierung der Hochfrequenzeigenschaft eines Transistors ist die maximale Schwingfrequenz f_{max} . Die maximale Schwingfrequenz ist die Frequenz f_{max} , bei der die Leistungsverstärkung gerade eins ist: $GU(f_{max}) = 1$. Bis zu dieser Frequenz kann der Transistor noch als aktives Bauelement eingesetzt werden. Diese Grenzfrequenz gibt gleichzeitig an, bis zu welcher Frequenz der Transistor in einem Oszillator schwingen kann.

Im Gegensatz zur Transitfrequenz ist die maximale Schwingfrequenz von einer Vielzahl parasitärer Größen, insbesondere auch von den Zuleitungswiderständen abhängig (s. Gleichung 7.7). Für das Anwendungspotential in einer integrierten Schaltung ist sie daher aussagekräftiger als die Transitfrequenz.

Die höchste erreichte Transitfrequenz wurde an einem VOXFET mit einer $(8 \times 2) \mu\text{m}^2$ -Geometrie gemessen, da bei diesem Layout der Überlapp zwischen dem Polysilizium und der p-Wanne am geringsten ist. Für einen p-Kanal-VOXFET mit einer Kanallänge von 100 nm und einer Gateoxiddicke von 9 nm wurde diese im Arbeitspunkt $U_G = -3,5 \text{ V}$ und $U_{DS} = 3 \text{ V}$ zu 8,1 GHz bestimmt (Abb. 7.7). Die maximale Schwingfrequenz desselben Transistors liegt bei 19,1 GHz.

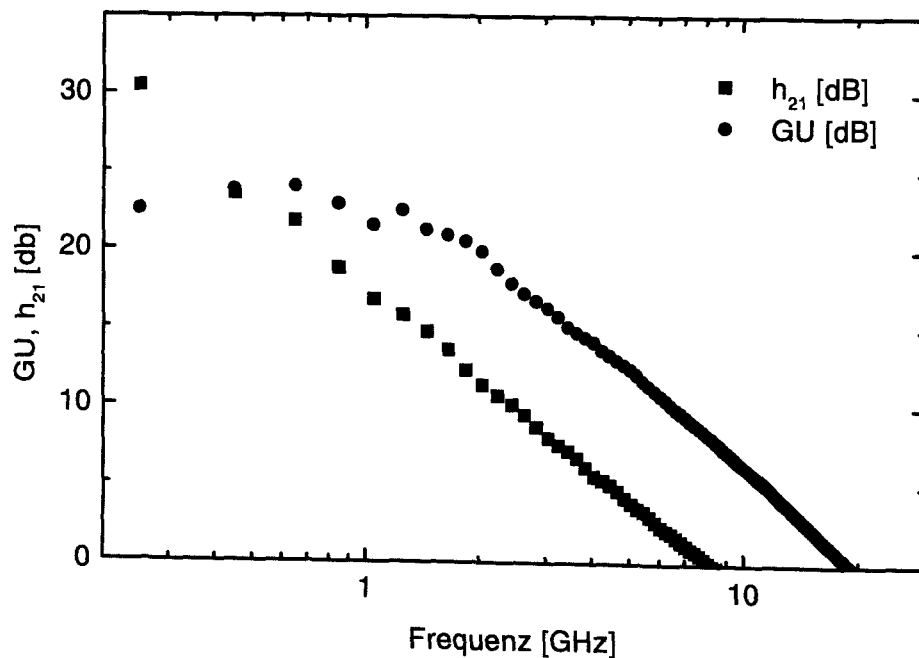


Abb. 7.7: Strom- und Leistungsverstärkung eines optimierten p-Kanal-VOXFET

7.2.3 Das Ersatzschaltbild des MOSFET

Wie im vorigen Abschnitt gezeigt, werden die S-Parameter-Messungen zur Bestimmung der Grenzfrequenzen durchgeführt. Es lassen sich aber auch noch weitere Informationen aus den S-Parametern entnehmen, wenn man ein Ersatzschaltbild eines MOSFET zugrunde legt (Abb. 7.8).

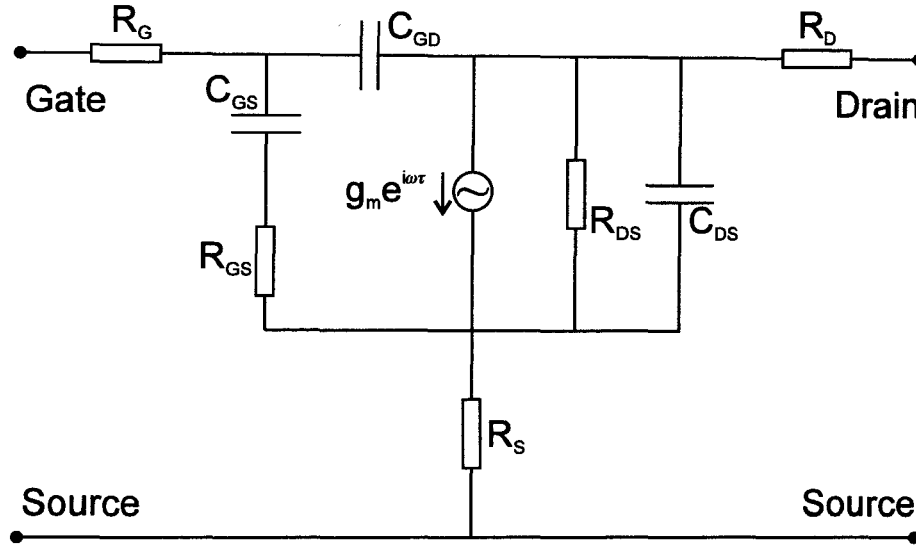


Abb. 7.8: Ersatzschaltbild des MOSFET

Das Ersatzschaltbild besteht aus einem intrinsischen Teil, der die wesentlichen Elemente g_m , C_{GS} , C_{GD} , C_{DS} , R_{DS} und R_{GS} enthält, sowie dem extrinsischen Teil, der die parasitären Widerstände R_S , R_G und R_D berücksichtigt. Parasitäre Induktivitäten spielen für den VOXFET keine Rolle.

Die Steilheit wird als spannungsgesteuerte Stromquelle behandelt. Parallel zu g_m befindet sich der Widerstand R_{DS} . Weitere wichtige Größen sind die Gatekapazitäten C_{GS} und C_{GD} , die direkt das Hochfrequenzverhalten des Transistors beeinflussen.

Über die Elemente des Ersatzschaltbildes sind f_{max} und f_T folgendermaßen miteinander verknüpft [75]:

$$f_{max} = \frac{f_T}{\sqrt{\frac{4(R_{DS} + R_{GS} + R_G)}{R_{DS}} + 2\frac{C_{GD}}{C_{GS}} \left(\frac{C_{GD}}{C_{GS}} + g_m(R_S + R_{GS}) \right)}} \quad (7.7)$$

Daher kann die Analyse des Ersatzschaltbildes genutzt werden, um zu untersuchen, welche Parameter zu optimieren sind, wenn die Grenzfrequenzen erhöht werden sollen.

Die Hochfrequenzmessung wurde mit dem Programm MMICAD (Monolithic and Microwave Integrated Circuit) auf der Basis des Ersatzschaltbildes (Abb. 7.8) ausgewertet. Durch einen Fit der aus dem Ersatzschaltbild berechneten S-Parameter an die gemessenen Werte können die oben erläuterten Einzelemente extrahiert werden.

Für einen p-Kanal-VOXFET mit einer $(8 \times 2) \mu\text{m}^2$ -Geometrie wurden diese bestimmt zu:

$$\begin{aligned} C_{GS} &= 70 \text{ fF} \\ C_{GD} &= 15 \text{ fF} \\ C_{DS} &= 42 \text{ fF} \\ R_{DS} &= 650 \Omega \\ R_{GS} &= 0,056 \Omega \\ R_G &= 13,3 \Omega \\ R_D &= 13,0 \Omega \\ R_S &= 13,3 \Omega \\ g_m &= 4,51 \text{ mS} \end{aligned}$$

Der Drain- und Sourcewiderstand wird weitestgehend von der Metallisierung, den Kontaktwiderständen und dem Substratwiderstand bestimmt. Durch Einsetzen einer Chrom-Gold-Metallisierung, eines Nickel-Silizids zur Herstellung der ohmschen Kontakte und der p-dotierten Wanne als niederohmiger Sourcekontakt konnten die Werte optimiert werden.

Die durch den Schichtaufbau bedingte parasitäre Gate-Source-Kapazität konnte durch Layoutoptimierung und das Einführen der p-Wanne auf einen Wert von 70 fF beschränkt werden.

Für die auf den Gateumfang von $20 \mu\text{m}$ normierte Steilheit ergibt sich $g = 225 \mu\text{S}/\mu\text{m}$. Dieser Wert ist etwas höher als der aus der DC-Messung extrahierte Wert von $g = 200 \mu\text{S}/\mu\text{m}$ (s. Kapitel 7.1.2). Dieser Unterschied könnte auf bewegliche Grenzflächenladungen an der Si-SiO₂-Grenzfläche zurückzuführen sein: Diese machen sich nur bis zu einer bestimmten Frequenz bemerkbar, da sie bei höheren Frequenzen dem Wechselfeld nicht mehr folgen können.

In Abb. 7.9 sind die gemessenen (dunkel) und die aus dem Ersatzschaltbild optimal angepaßten S-Parameter (hell) im Smith-Chart dargestellt. Für S_{11} und S_{21} sind die Übereinstimmungen so gut, daß sich Messung und Fit in dieser Auflösung nicht mehr trennen lassen.

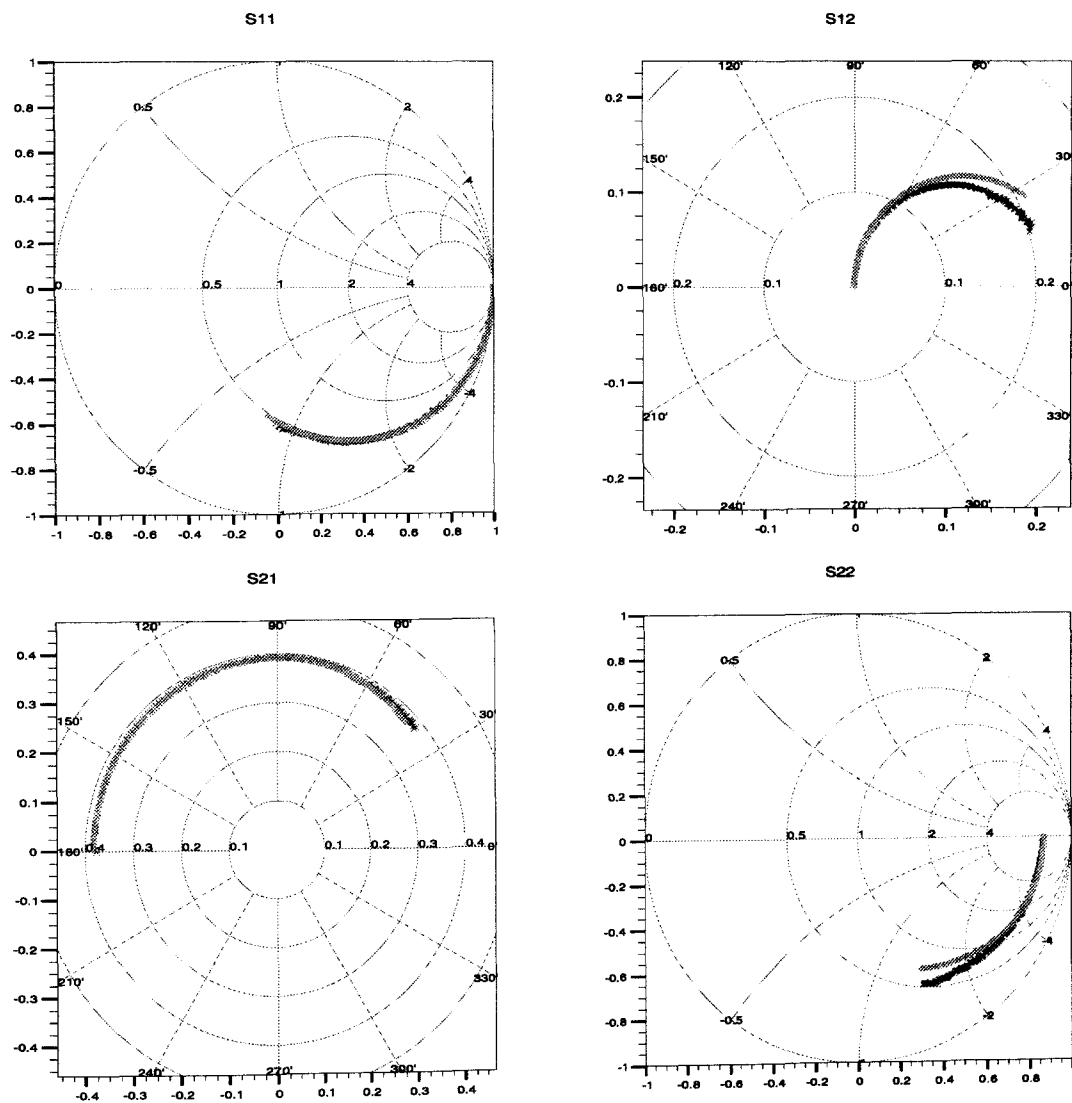


Abb. 7.9: Smith-Chart eines p-Kanal-VOXFET

Kapitel 8

Simulation

Zum besseren Verständnis und als Basis zur Optimierung der Transistoren wurden Simulationen mit dem Programmpaket ATLAS [76] der Firma SILVACO durchgeführt. So konnte die Wirkung von Parameteränderungen auf die Funktion der Transistoren studiert werden. Da beim Herstellungsprozeß des VOXFET Gate und Kanal nicht selbstjustierend gegenüberstehen, wie das bei lateral angeordneten MOSFETs der Fall ist, wurde der Einfluß einer Gate-Kanal-Fehljustierung auf das elektrische Verhalten des Transistors untersucht. Des weiteren wurden das Schalt- und Steuerverhalten der Transistoren in Abhängigkeit von der Kanaldotierung simuliert.

8.1 Das Simulationsprogramm

Im folgenden wird ein kurzer Überblick über die Funktionsweise und die benutzten Modelle des Simulationsprogramms gegeben.

ATLAS ist ein Bauelement-Simulationsprogramm. Das zu untersuchende Bauelement wird entweder in Form von „Structure Files“ eingegeben oder in ATLAS direkt definiert. Hierbei kann die Angabe von Geometrie, Material und Dotierung der einzelnen Bestandteile unter anderem mittels eines Editors („DevEdit“) oder durch vorhergehende Simulation des Herstellungsprozesses mit dem Programm ATHENA erfolgen. Im Rahmen dieser Arbeit wurden die Eingabefiles ausschließlich mittels DevEdit erzeugt. Die in ATLAS geladene Struktur wird mit einem Netz („meshing“) überzogen. Dieses dient zur Diskretisierung der Differentialoperatoren in einem System von Differentialgleichungen, das mit Hilfe finiter Differenzen gelöst wird.

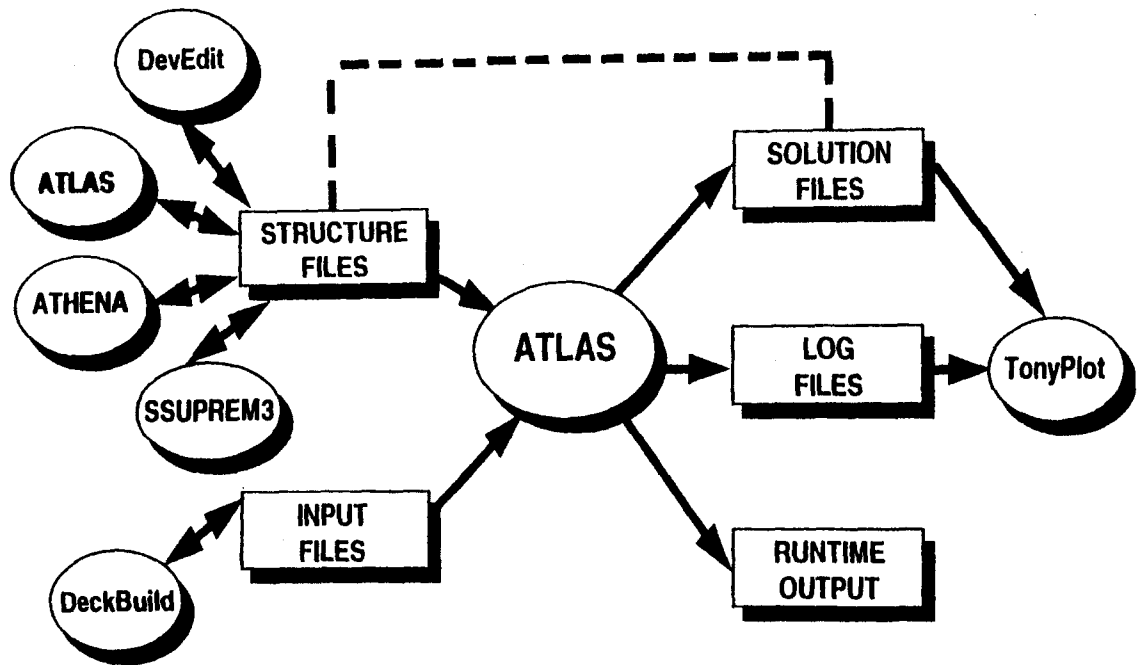


Abb. 8.1: Bauelementsimulationsprogramm ATLAS: Ein- und Ausgaben

Das eigentliche Simulationsprogramm wird mittels der Benutzeroberfläche „Deck-Build“ erstellt. Hier werden die Elektroden definiert und geeignete physikalische Modelle, die zur Berechnung der elektrischen Kennlinien benutzt werden sollen, angegeben. Für die Beweglichkeit der Löcher bzw. Elektronen wurde das CVT Modell nach [77] gewählt, das die für Inversionsschichten typischen Effekte berücksichtigt.

Die Berechnung des elektrischen Verhaltens bzw. der Kennlinien erfolgt durch simultane numerische Lösung der Poissongleichung

$$\operatorname{div}(\epsilon \nabla \Psi) = -\rho \quad (8.1)$$

und der Kontinuitätsgleichung für Elektronen und Löcher

$$\frac{\partial n}{\partial t} = \frac{1}{q} \operatorname{div} \vec{J}_n + G_n - R_n \quad (8.2)$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q} \operatorname{div} \vec{J}_p + G_p - R_p. \quad (8.3)$$

Der Ladungstransport wurde nach dem Drift-Diffusions-Modell berechnet.

8.2 Vergleich zwischen Simulation und Messung

Wie genau simulierte und gemessene Kennlinien übereinstimmen, hängt - neben der Qualität der verwendeten Modelle - von der Genauigkeit der eingegebenen Parameter für das Bauelement ab. Sind eine oder mehrere Größen nur unzureichend oder nicht bekannt, führt dies zu mehr oder weniger starken Abweichungen zwischen gemessenen und simulierten Größen.

Im folgenden wurden die gemessenen Kennlinien eines p-Kanal-VOXFET mit 25 nm Gateoxid und einer Kanallänge von 170 nm mit dem entsprechenden simulierten Ausgangskennlinienfeld verglichen.

Als Vorgabe für die Simulation wurden folgende Größen berücksichtigt:

- Die Kanaldotierung, sowie Dotierung von Source und Drain: Diese wurden aus SIMS-Messungen bestimmt.
- Die Kanallänge wurde ebenfalls aus dem SIMS-Profil errechnet bzw. aus REM-Aufnahmen abgelesen.
- Die Gateoxiddicke wurde aus TEM-Bildern bestimmt. Die Genauigkeit beträgt etwa ± 1 nm.
- Die Berechnungen erfolgten für die Geometrie eines $5 \times 5 \mu\text{m}^2$ Transistors.

Unberücksichtigt oder nur ungenau bekannt blieben:

- Die Facettendotierung: Die genaue Dotierung in den Facetten und damit auch im Kanalgebiet kann von der im Bulkgebiet abweichen. Aber nur diese ist der SIMS-Analyse zugänglich.
- Grenzflächenzustände und Oxidladungen an der Si-SiO₂-Grenzfläche bzw. im Gateoxid: Sie können zu einer Verschiebung der Schwellspannung führen, während Grenzflächenzustände die Unterschwellsteigung verschlechtern.
- Parasitäre Widerstände: In realen Transistoren fällt die angelegte Spannung nicht nur am Kanal, sondern bereits bei den Zuleitungen von Source und Drain ab. Dies führt zu einer Abnahme des Drainstromes und der Steilheit der Transistoren.

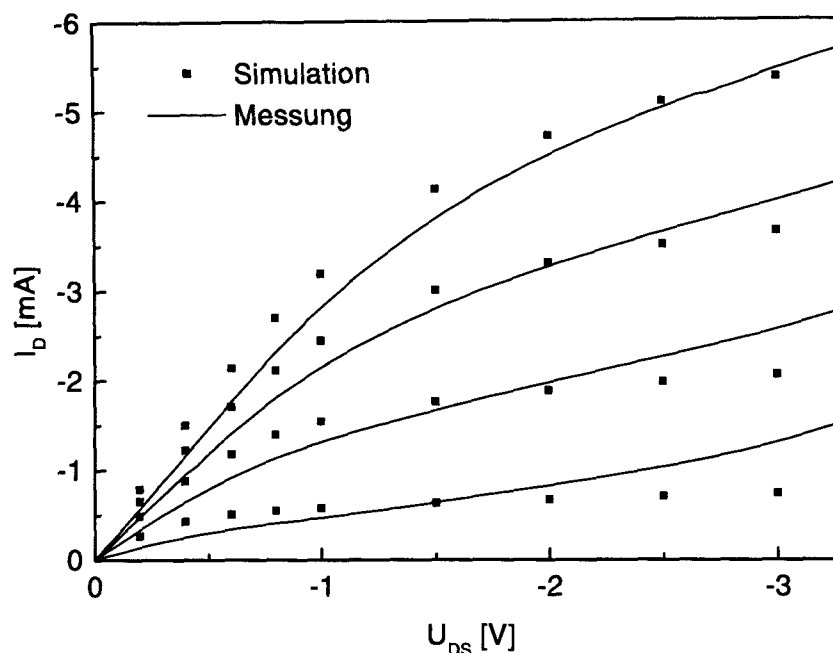


Abb. 8.2: Vergleich zwischen simuliertem und gemessenem Ausgangskennlinienfeld eines p-Kanal-VOXFET mit 25 nm Gateoxid und einer Kanallänge von 170 nm

Abbildung 8.2 zeigt die simulierten und gemessenen Ausgangskennlinien im Vergleich. Die Stromsteuerung kann durch die Simulation recht genau wiedergegeben werden; die berechneten Drainströme stimmen größenordnungsmäßig mit den gemessenen überein. Im qualitativen Verlauf der Kennlinien gibt es leichte Unterschiede: Im linearen Bereich zeigen die simulierten Kennlinien einen steileren Anstieg als die gemessenen. Ursache hierfür könnte der parasitäre Sourcewiderstand sein. Während die simulierten Kennlinien recht gutes Sättigungsverhalten zeigen, zeigen die gemessenen Kennlinien typisches Kurzkanalverhalten. Die für Kanallängen unterhalb von 200 nm auftretenden Kurzkanaleffekte können mit den benutzten Simulationsmodellen nicht mehr beschrieben werden.

Schwellschpannung von simulierten und gemessenen Kennlinien stimmen recht genau überein, allerdings ist die Unterschwellsteigung im realen Transistor wesentlich schlechter als in der idealisierten Simulation. Ursache für die Abweichung könnte unter anderem das in der Simulation als ideal angenommene Gateoxid bzw. die Si-SiO₂-Grenzfläche sein. Die Übereinstimmung zwischen gemessenen und simulierten Kennlinien ist ausreichend, um den qualitativen Einfluß einzelner Parameter zu untersuchen.

8.3 Einfluß einer Kanal-Gate-Fehljustierung

Da beim Herstellungsprozeß des VOXFET Gate und Kanal unabhängig voneinander erzeugt werden, kann es zu Kanal-Gate-Fehljustierungen¹ kommen [79]. Für praktische Anwendungen von Interesse ist, welchen Einfluß eine solche Fehljustierung auf die elektrischen Eigenschaften des Transistors hat. Daher wurden Transistoren mit unterschiedlicher Lage des Kanals gegenüber dem Gate auf ihr elektrisches Verhalten hin untersucht.

Es wurden die Ausgangskennlinien eines p-Kanal-VOXFET mit einer Kanal- und Gatelänge von je 200 nm und einer Gateoxiddicke von 25 nm mit einer source- bzw. drainseitigen Kanal-Gate-Fehljustierung von 60 nm simuliert. Die Dotierungen von Drain und Source wurden zu $c_B = 1 \cdot 10^{19} \text{ cm}^{-3}$, die Kanaldotierung wurde zu $c_P = 1 \cdot 10^{18} \text{ cm}^{-3}$ angenommen. In jedem Fall führt eine Kanal-Gate-Fehljustierung zu einer Abnahme des Drainstromes, wobei die prinzipielle Steuerbarkeit der Transistoren aber erhalten bleibt. Die Form der Ausgangskennlinien verändert sich allerdings, abhängig davon, ob der Kanal in source- oder drainseitige Richtung hin verschoben ist (Abb. 8.3).

Im Falle eines zu tief liegenden Kanals (sourceseitige Verschiebung) wird das sourceseitige Ende der n-dotierten Schicht nicht durch die Gatespannung invertiert, so daß sich in diesem Bereich keine Inversionsschicht ausbilden kann. Bei Anlegen einer Drainspannung kommt es aber durch das elektrische Feld zwischen Kanal-anfang (in Höhe der Unterkante des Gates) und Source (der unteren p-dotierten Epitaxieschicht) zur Injektion von Ladungsträgern in den Kanal. Für kleine Drainspannungen befindet sich der Transistor im linearen Bereich. Bei höheren Drainspannungen hingegen schnürt der Kanal am drainseitigen Ende ab (Sättigungsbereich). Der nicht invertierte Teil des Kanalgebietes (n-Dotierung) wirkt hier wie ein Serienwiderstand, so daß der qualitative Verlauf der Ausgangskennlinie der eines Transistors mit einem hohen Sourcewiderstand ähnelt (Abb. 8.3, unten).

Demgegenüber wird im Falle einer drainseitigen Verschiebung des Kanals das drainseitige Ende der n-dotierten Epitaxieschicht nicht invertiert, so daß der Zustand dem eines in Sättigung betriebenen Transistors gleicht. Während hier durch die Kanalabschnürung die über dem invertierten Teil des Kanalgebietes abfallende Spannung konstant bleibt, so daß sich der Drainstrom nicht ändert („Pinch-Off“), führt die drainseitige Kanalverschiebung aufgrund des Kanalendes zu dem erhöhten Spannungsabfall. Qualitativ ähnelt der Kennlinienverlauf dem Verhalten eines Transistors im linearen Bereich (Abb. 8.3, Mitte).

¹Der Begriff Kanal-Gate-Fehljustierung ist etwas irreführend, da sich der Inversionskanal in jedem Fall nur gegenüber dem Gate ausbildet. Gemeint ist hier eine Abweichung zwischen Gate und dem n-dotierten Bereich der Transistorstruktur.

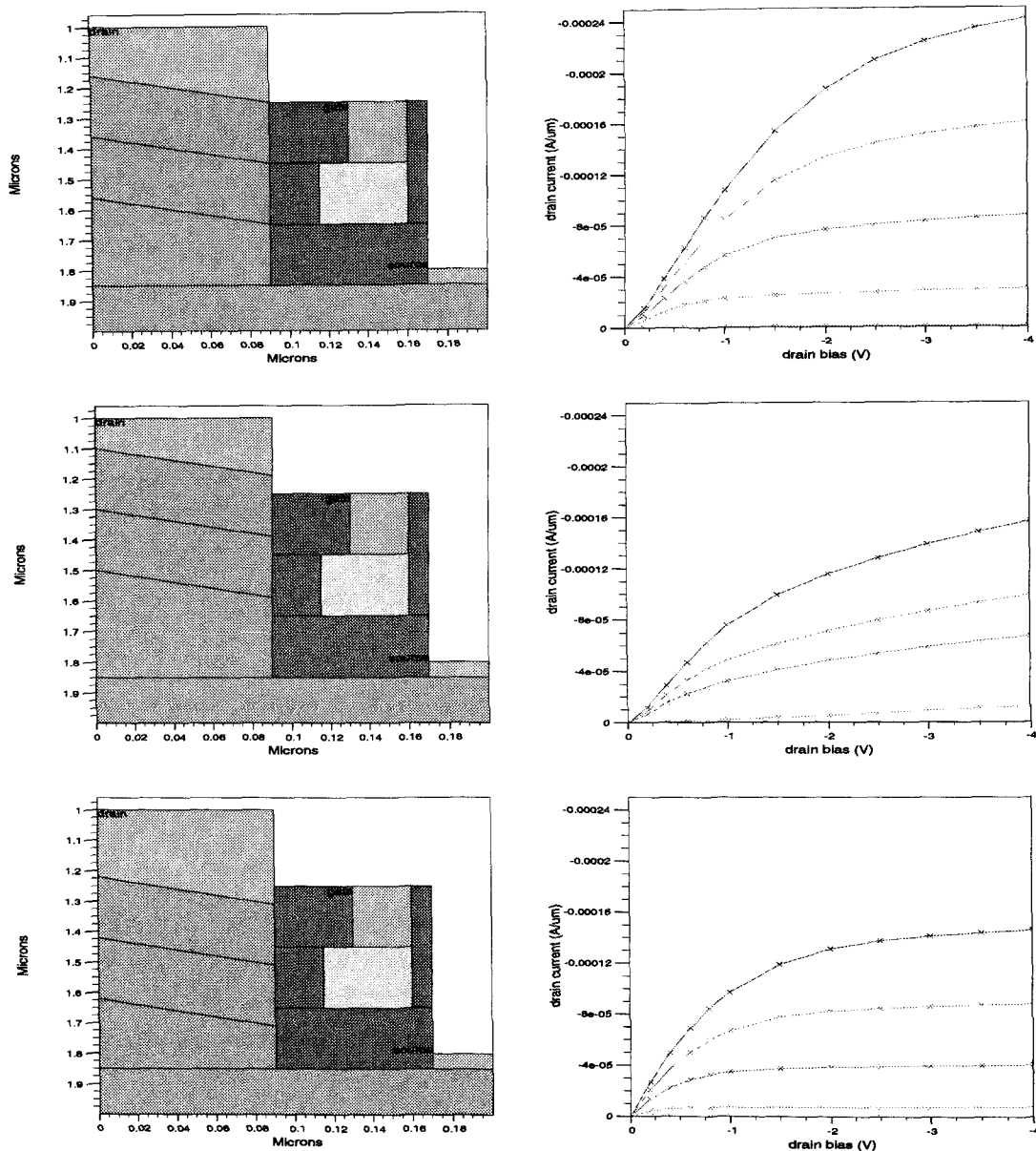


Abb. 8.3: Ausgangskennlinien bei Kanal-Gate-Fehljustierung (s. Text)

Eine Kanal-Gate-Fehljustierung führt also in jedem Fall zu einer Erniedrigung des Drainstromes und der Steilheit der Transistoren. Wie sehr der Drainstrom abnimmt, hängt stark von der Kanaldotierung ab: Im Falle einer hohen Kanaldotierung führt eine kleinere Abweichung bereits zu einer wesentlichen Verschlechterung der Transistoreigenschaften. Die hier beschriebenen Effekte wurden an VOXFETs mit einer Kanal-Gate-Fehljustierung von 60 nm beobachtet [12].

8.4 Einfluß der Kanaldotierung

Einer der wichtigsten Designparameter eines MOSFET ist - neben Kanallänge und Gateoxiddicke - die Kanaldotierung. Diese wird im Falle von VOXFET bzw. V-FET durch den Diboran(B_2H_6)- bzw. Phosphin(PH_3)-fluß beim epitaktischen Wachstum der Transistorstruktur in der LPCVD eingestellt (s. Kapitel 4). Bei der Wahl einer „optimalen“ Kanaldotierung versucht man, bei kürzer werdender Kanallänge die Kurzkanaleffekte Drain-Induced Barrier Lowering (DIBL) und Punch-Through (s. Kapitel 2) durch Erhöhung der Kanaldotierung zu unterdrücken. Andererseits führt eine Erhöhung der Kanaldotierung wegen der erhöhten Störstellendichte zur Abnahme der Löcher- (bzw. Elektronen-) beweglichkeit im Kanal, die zu einer Abnahme von Drainstrom und Steilheit führt. Exemplarisch wurden die Transfer- und Ausgangskennlinien eines p-Kanal-VOXFET mit einer Kanallänge von 200 nm und einer Gateoxiddicke von 12 nm für unterschiedliche Kanaldotierungen simuliert. Die Dotierungen von Drain und Source wurden dabei konstant ($c_B = 1 \cdot 10^{19} \text{ cm}^{-3}$) gehalten.

Zunächst wurde die Kanaldotierung sehr klein gehalten ($c_P = 2 \cdot 10^{17} \text{ cm}^{-3}$). Die dadurch erzeugte Barriere ist entsprechend niedrig, und um den Transistor in starker Inversion zu betreiben, müssen die Bandkanten nur leicht verbogen werden. Daher ist die Schwellspannung klein (Abb. 8.4, oben links). Man erkennt aufgrund der Drain-induzierten Barrierenerniedrigung im Schaltbereich eine starke Abhängigkeit der Kennlinien von der Drainspannung. Auch ohne Anlegen einer Gatespannung fließt bei angelegter Drainspannung ein hoher Strom (Punch-Through). Demgegenüber erhält man hohe Drainströme und hohe Steilheiten, wobei der Transistor aber nur schlechte Sättigung zeigt (Abb. 8.4, oben rechts).

Durch Erhöhung der Kanaldotierung ($c_P = 5 \cdot 10^{17} \text{ cm}^{-3}$) nimmt die Ausdehnung der Raumladungszonen an den p-n-Übergängen ab, so daß sich diese nicht mehr überschneiden: Der Punch-Through wird unterdrückt, und der Offstrom ist unabhängig von der Drainspannung sehr gering. Allerdings bewirkt die DIBL auch hier noch eine leichte Abhängigkeit der Kennlinien von der Drainspannung im Schaltbereich. Durch die höhere Kanaldotierung nimmt die Schwellspannung ebenfalls zu, da eine stärkere Bandverbiegung nötig ist, um starke Inversion zu erreichen. Durch die nun kleinere Kanalbeweglichkeit nehmen Drainstrom und Steilheit ab (Abb. 8.4, Mitte rechts).

Bei einer Kanaldotierung von $c_P = 1 \cdot 10^{18} \text{ cm}^{-3}$ sind sowohl Punch-Through als auch DIBL unterdrückt, und die Transferkennlinien zeigen keine Abhängigkeit von der Drainspannung (Abb. 8.4, unten links). Die Beweglichkeit der Löcher im Kanal und somit Drainstrom und Steilheit nehmen weiter ab. Durch die Unterdrückung der Kurzkanaleffekte zeigen die Ausgangskennlinien ein gutes Sättigungsverhalten (Abb. 8.4, unten rechts).

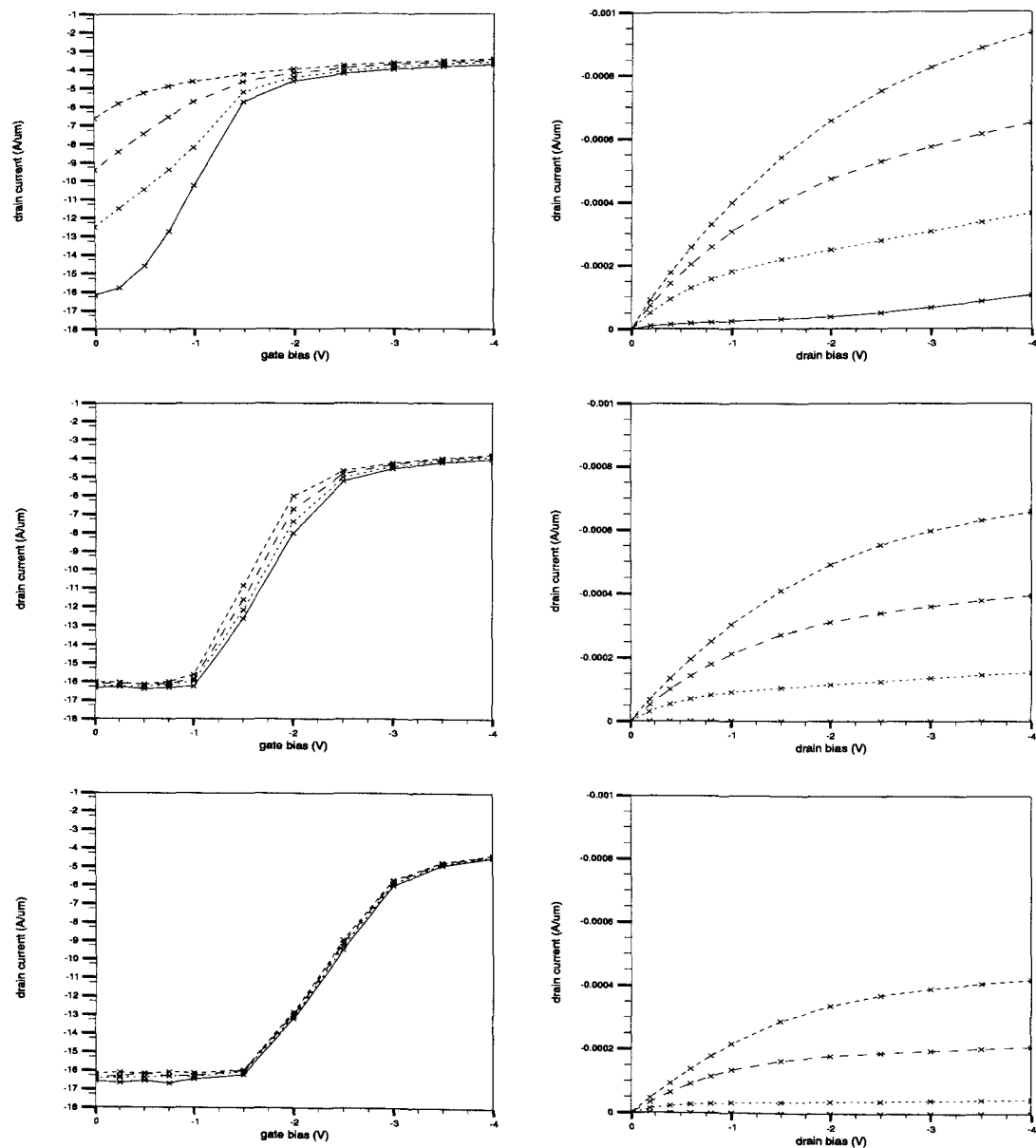


Abb. 8.4: Transfer- und Ausgangskennlinien für unterschiedliche Kanaldotierungen.

Das Simulationsprogramm erlaubt, die Kanaldotierung in Abhängigkeit der anderen Designparameter eines Transistors zu optimieren. Problematisch in der Umsetzung der Simulationsergebnisse ist eine mögliche Abweichung der Dotierstoffkonzentration in den Facetten (Kanalgebiet) gegenüber jener im Volumen mit $\langle 100 \rangle$ -Orientierung [78]. Aber nur diese ist durch SIMS-Analyse leicht meßbar und wurde als Vorgabe für die Simulationen benutzt.

Kapitel 9

Literaturvergleich

In diesem Kapitel werden die für V-FET und VOXFET erzielten Kenngrößen mit Literaturwerten verglichen und diskutiert. In Tabelle 9.1 sind die Werte zusammengestellt. Aufgeführt sind Daten sowohl vertikaler [6, 80, 81] als auch planarer Transistoren [82, 83].

p-Kanal-V-FETs zeigten eine starke Abhängigkeit ihrer elektrischen Eigenschaften von der Mesaseitenorientierung der Transistorstruktur. Die erreichte Steilheit eines V-FET mit $\langle 100 \rangle$ -Mesaorientierung, einer Kanallänge von 215 nm und einem 6 nm-Gateoxid liegt bei 150 mS/mm. Die Schwellspannung ist wegen des invers dotierten Polysiliziumgates mit $U_{TH} = -1,9$ V sehr hoch. Die Unterschwellsteigung beträgt 105 mV/dec.

p-Kanal-VOXFETs mit einer Kanallänge von 100 nm und einer Gateoxiddicke von 9 nm zeigten Steilheiten bis 200 mS/mm. Für die Unterschwellsteigung wurden Werte von 115 mV/dec gemessen. Wie beim V-FET liegt die Schwellspannung sehr hoch ($U_{TH} = -2,2$ V). Hochfrequenzmessungen an optimierten VOXFETs zeigten Grenzfrequenzen von $f_T = 8,1$ GHz und $f_{max} = 19,1$ GHz.

Bereits 1996 veröffentlichten L. Risch et al. (Siemens) Ergebnisse vertikaler n-Kanal-MOSFETs auf der Basis ganzflächiger Epitaxie [6]. Dabei wurden die Eigenschaften von Transistoren unterschiedlicher Kanallänge (170, 120 und 70 nm) bei konstant gehaltener Gateoxiddicke (5 nm) und Kanaldotierung ($2 \cdot 10^{18} \text{ cm}^{-3}$) untersucht. Die erzielten Steilheiten liegen bei 400, 600 und 800 mS/mm. Die Schwellspannungen liegen zwischen 0,4 und 0,8 V. Die beste Unterschwellsteigung zeigte der MOSFET mit einer Kanallänge von 170 nm ($S = 125$ mV/dec). Der Wert liegt über denen von V-FET und VOXFET. Ursache für das schlechtere Schaltverhalten könnte neben der unterschiedlichen Kanaldotierung eine Kristallschädigung durch das Rückätzen der Flanken sein, die bei V-FET und VOXFET durch das selektive Wachstum umgangen wird. Für Spannungen oberhalb von 1,5 V wurde Kink-Effekt beobachtet. Das Layout des Transistors war nicht hochfrequenzoptimiert.

Transistor/ Jahr	Kanal- typ	Oxid- dicke	Kanal- länge	Steil- heit	Unterschwel- lsteigung
V-FET ISI/FZ-Jülich 1998	p	6 nm	215 nm	150 mS/mm	105 mV/dec
VOXFET ISI/FZ-Jülich 1998	p	9 nm	100 nm	200 mS/mm	115 mV/dec
Siemens 1996/98	n	5 nm	170 nm	400 mS/mm	125 mV/dec
	p	5 nm	130 nm	160 mS/mm	80 mV/dec
Daimler Benz 1998	n	4 nm	100 nm	375 mS/mm	80 mV/dec
BELL Labs 1995	n	7 nm	75 nm	150 mS/mm	95 mV/dec
NEC 1998	n	4 nm	100 nm	490 mS/mm	83 mV/dec

Tab. 9.1: Eigenschaften unterschiedlicher MOSFETs

1998 stellten T. Schulz et al. den komplementären p-Kanal-MOSFET vor [80]. Es wurden Transistoren unterschiedlicher Kanallänge (190, 130 und 90 nm) und Gateoxiddicken untersucht. Die höchste erzielte Steilheit liegt bei 300 mS/mm für den 90 nm-Transistor. Dieser Transistor zeigt aber schlechte Sättigung und ein unbefriedigendes Schaltverhalten. Für einen Transistor mit 130 nm Kanallänge wurde mit einem Wert von 80 mV/dec die beste Unterschwelligsteigung erzielt. Im Gegensatz zu V-FET und VOXFET wurde p-dotiertes Polysilizium für die Gateelektrode verwendet. In Kombination mit den dünneren Gateoxiden führt das zu sehr niedrigen Schwellspannungen ($U_{TH} = -0,25$ bis $0,46$ V). Wegen der in diesem Layout auftretenden hohen parasitären Gate-Überlappkapazitäten ist trotz der hohen Steilheit die höchste erreichte Transitfrequenz mit 3,1 GHz wesentlich geringer als die des VOXFET.

D. Behammer et al. stellten 1998 einen vertikalen n-Kanal-MOSFET mit einer Gateoxiddicke von 4 nm und einer Kanallänge von 100 nm vor [81]. Die erreichte Steilheit beträgt 375 mS/mm und die Unterschwelligsteigung 80 mV/dec. Allerdings zeigen die Transistoren ausgeprägtes Kurzkanalverhalten und Durchgriff ab einer Drainspannung von 2 V. Hochfrequenzmessungen sind wegen der hohen parasitären Kapazitäten an diesem Transistor nicht durchgeführt worden.

Schon 1995 veröffentlichten G. E. Rittenhouse et al. von den Bell Labs die Werte eines mittels Röntgenlithographie strukturierten lateralen Kurzkanaltransistors [82]. Für einen n-Kanal-MOSFET mit einer Gateoxiddicke von 7 nm und einer Kanallänge von 75 nm erzielten sie eine Steilheit von 150 mS/mm und eine Unterschwelligsteigung von 95 mV/dec.

K. Noda et al. (NEC) veröffentlichten 1998 Ergebnisse, die sie mit lateralen delta-dotierten n-Kanal-MOSFETs erzielt haben [83]. Die Kanallänge von 100 nm wurde mittels Elektronenstrahlolithographie definiert. Für einen Transistor mit 4 nm-Gateoxid erhielten sie eine Steilheit von 490 mS/mm und eine Unterschwellsteigung von 83 mV/dec. Hochfrequenzmessungen wurden nicht vorgestellt.

Vergleicht man die Werte der Transistoren untereinander, so sind die im Rahmen dieser Arbeit vorgestellten Ergebnisse für V-FET und VOXFET unter Berücksichtigung der Kanallängen und Oxiddicken kompatibel mit den Literaturwerten. Die Gateoxiddicken von V-FET und VOXFET liegen über denen der anderen neueren Arbeiten. Trotz des Depositionsgateoxids, das beim VOXFET eingesetzt wurde, konnte eine beachtliche Steilheit erreicht werden. Die in dieser Arbeit für einen p-Kanal-VOXFET erzielten Grenzfrequenzen sind die höchsten, die bisher für vertikale MOSFETs veröffentlicht wurden. Im Vergleich zu dem in [6] vorgestellten ganzflächig gewachsenen Transistor zeichnen sich die in dieser Arbeit diskutierten selektiv gewachsenen Konzepte dadurch aus, daß eine Kristallschädigung durch Rückätzung der Flanken vermieden wird.

Kapitel 10

Zusammenfassung und Ausblick

Zusammenfassung der Ergebnisse

Aufbauend auf Ergebnissen von D. Behammer, R. Loo und J. Moers wurde im Rahmen der vorliegenden Arbeit die Prozeßfolge zur Herstellung selektiv gewachsener vertikaler MOS-Feldeffekttransistoren optimiert und die Transistoren charakterisiert.

Das vertikale Layout bietet den Vorteil, kurze Kanallängen L_G erzielen zu können, ohne auf aufwendige Strukturerzeugungsverfahren wie Röntgen- oder Elektronenstrahlolithographie zurückgreifen zu müssen, da die Kanallänge durch die Dicke einer epitaktisch gewachsenen Schicht definiert wird. Diese Schichten können bis weit in den Sub-100-nm-Bereich hergestellt werden. Neben der Reduzierung der Kanallänge ermöglicht die vertikale Anordnung eine wesentliche Erhöhung der Integrationsdichte gegenüber Transistoren mit lateralem Layout. Zur Prozessierung wurden nur Verfahren eingesetzt, die bereits in der Halbleiterindustrie etabliert sind.

Beim Vertical-FET-Konzept (V-FET) wird das Kanalgebiet mittels Epitaxie erzeugt, bevor die Gateoxidation erfolgt, während beim VOXFET-Konzept ein mit einer modifizierten Spacertechnologie hergestelltes Gateoxid vor der Epitaxie deponiert wird. Durch Verwendung selektiven Wachstums können Kristallschädigungen, die bei der Strukturierung einer ganzflächigen Epitaxie entstehen, vermieden werden. Durch das Ausbilden von Facetten liegen die p-n-Übergänge in der Strukturmitte weiter auseinander als am Rand, an dem sich der Inversionskanal bildet. Dadurch werden parasitäre Volumen-Kapazitäten und Leckströme vermindert, und der Durchgriff verschiebt sich zu höheren Spannungen.

Zur ohmschen Kontaktierung der Transistoren wurde ein SALICIDE-Prozeß auf der Basis von Nickelmonosilizid entwickelt. Die spezifischen Kontaktwiderstände wurden mittels TLM-Strukturen bestimmt. Die erzielten Werte liegen bei $(7-10) \cdot 10^{-8} \Omega\text{cm}^2$ auf p-Silizium und sind damit in guter Übereinstimmung mit den Literaturwerten.

Zur Integration der einzelnen Transistoren zu Schaltkreisen müssen deren Sourcekontakte elektrisch voneinander getrennt werden. Dazu sind oberflächennahe, hochdotierte Wannen („Buried Layers“) erforderlich, die eine niederohmige Sourcekontaktierung der einzelnen Transistoren zulassen. Es wurde ein Implantations- und Ausheilprozeß sowohl für p- als auch für n-dotierte Wannen entwickelt, der ein so gutes Ausheilen der Oberfläche gewährleistet, daß versetzungsfreies epitaktisches Wachstum darauf möglich ist. Rutherford-Rückstreu-Untersuchungen an implantierten Substraten ergaben ein Minimum Yield von 3 % und erreichten damit den Wert eines unbehandelten Wafers. Die erzielten Schichtwiderstände liegen bei $30 \Omega/\square$ für die p-dotierten und $10 \Omega/\square$ für die n-dotierten Bereiche. Durch Beschränkung des Source-Gebietes auf einen kleinen, hochdotierten Bereich kann außerdem die Gate-Source-Kapazität erheblich reduziert werden, so daß die Transistoren wesentlich bessere Hochfrequenzeigenschaften zeigen. Durch Einführen der dotierten Wanne und ein optimiertes Layout konnte die Gate-Source-Kapazität eines $(8 \times 2) \mu\text{m}^2$ -VOXFET auf 70 fF beschränkt werden.

Während für den V-FET ein konventionelles thermisches Gateoxid benutzt werden kann, führt die Oxidation des Polysiliziums beim VOXFET zu einem stark inhomogenen Oxid. Daher wurde für den VOXFET ein PECVD-Depositionsoxid gewählt. Eine optimierte Spacertechnologie führte zu elektrisch dichten Gateoxiden mit Dicken unter 10 nm.

Da beim Herstellungsprozeß des VOXFET Gate und Kanal nicht selbstjustierend gegenüberstehen, wie das bei lateral angeordneten MOSFETs der Fall ist, wurde mit dem Simulationsprogramm ATLAS der Einfluß einer Kanal-Gate-Fehljustierung auf das elektrische Verhalten des Transistors untersucht. Eine Fehljustierung führt zu einem Abfall des Steuerstroms und der Steilheit, die prinzipielle Steuerbarkeit des Transistors bleibt aber bei nicht zu großen Abweichungen erhalten. Die Ergebnisse konnten an Transistoren mit einer Kanal-Gate-Fehljustierung von 60 nm verifiziert werden.

p-Kanal-V-FETs zeigten eine starke Abhängigkeit ihrer elektrischen Eigenschaften von der Mesaseitenorientierung der Transistorstruktur. Um den Einfluß zu untersuchen, wurden V-FETs mit $\langle 100 \rangle$ - und $\langle 110 \rangle$ -Fensterorientierung prozessiert. Transistoren mit Seitenflächen parallel zur $\langle 100 \rangle$ -Richtung des Substrates zeigten ein deutlich besseres Steuerverhalten. Die gemessene Steilheit verbesserte sich von 120 mS/mm auf 150 mS/mm, die Schwellspannung verringerte sich von -2,4 V auf -1,9 V, und die Unterschwellsteigung sank von 240 mV/dec auf 105 mV/dec. Die Unterschiede im elektrischen Verhalten beruhen auf mehreren Effekten. Da die Oxidationsrate in $\langle 100 \rangle$ -Richtung kleiner ist als die in $\langle 110 \rangle$ -Richtung, bildet sich unter gleichen Oxidationsbedingungen für die $\langle 100 \rangle$ -orientierten Transistoren ein dünneres Gateoxid. Das unterschiedliche Facettenwachstum an den Strukturrändern führt zu verschiedenen effektiven Kanallängen. Zusätzlich können die Dotierungen

in den auftretenden $\langle 311 \rangle$ - und $\langle 111 \rangle$ -Facetten, und damit die Kanaldotierungen, voneinander abweichen. Hinweise auf Unterschiede in der Güte der Si-SiO₂-Grenzfläche gibt es nicht.

Transistoren mit Kanallängen unter 100 nm konnten nicht mit einem trockenthermischen Oxid hergestellt werden, da das epitaktisch gewachsene Dotierprofil während der Oxidation ausdiffundiert. Daher wurde für die Prozessierung von Transistoren mit extrem kurzen Kanallängen ein Hochdruckoxid benutzt, das bei niedrigen Temperaturen und hohen Drücken gebildet wird. D. Behammer konnte die Funktionsfähigkeit von V-FETs mit Kanallängen bis 45 nm mit einem 12 nm HiPOx-Oxid demonstrieren.

Optimierte p-Kanal-VOXFETs mit einer Kanallänge von 100 nm und einer Gateoxiddicke von 10 nm zeigten Steilheiten bis 200 mS/mm. Für die Unterschwellsteigung wurden Werte bis 115 mV/dec gemessen. Die Schwellspannung von -2,2 V ist noch sehr hoch. Sie kann um etwa ein Volt verringert werden, indem statt des n-dotierten ein p-dotiertes Polysilizium als Gate verwendet wird. Hochfrequenzmessungen an optimierten VOXFETs zeigten Grenzfrequenzen von $f_T = 8,1$ GHz und $f_{max} = 19,1$ GHz.

Anwendungspotential

Bereits seit Mitte der 70er Jahre werden MOSFETs mit vertikalem Layout als Leistungstransistoren eingesetzt, da einer der Kontakte - meist das Drain - in guten Wärmekontakt zum Gehäuse gebracht werden kann und somit die Wärmeabfuhr gewährleistet. Vertikale Powertransistoren zeichnen sich durch ihren geringen Ein-Widerstand aus.

Mit der Verbesserung epitaktischer Verfahren wird seit Anfang der 90er Jahre weltweit verstärkt versucht, das vertikale Layout zur (wirtschaftlichen) Erzeugung extrem kurzer Kanallängen und zur Erhöhung der Integrationsdichte in Speicher- und Logikanwendungen zu nutzen.

So erlaubt die Verwendung vertikaler MOSFETs den Bau von ROM-Zellen (Read Only Memory) mit einer Zellgröße von $2 F^2$ [84], während der Platzbedarf auf der Basis lateraler MOSFETs 6 bzw. $8 F^2$ beträgt. Hierbei bezeichnet F die minimale Strukturgröße. 1996 wurde der Prototyp einer Multimediakarte auf der Basis dieser vertikalen ROM-Zellen vorgestellt („Record on Silicon“ [85]).

Auch in DRAMs (Dynamic Random Access Memory) verspricht der Einsatz vertikaler MOSFETs eine wesentliche Erhöhung der Integrationsdichte. Während die ursprüngliche Form einer DRAM-Zelle, bestehend aus einem lateralen MOSFET und einem lateralen Kondensator („Doppellagenzelle“, Abb.10.1, links), einen Platz-

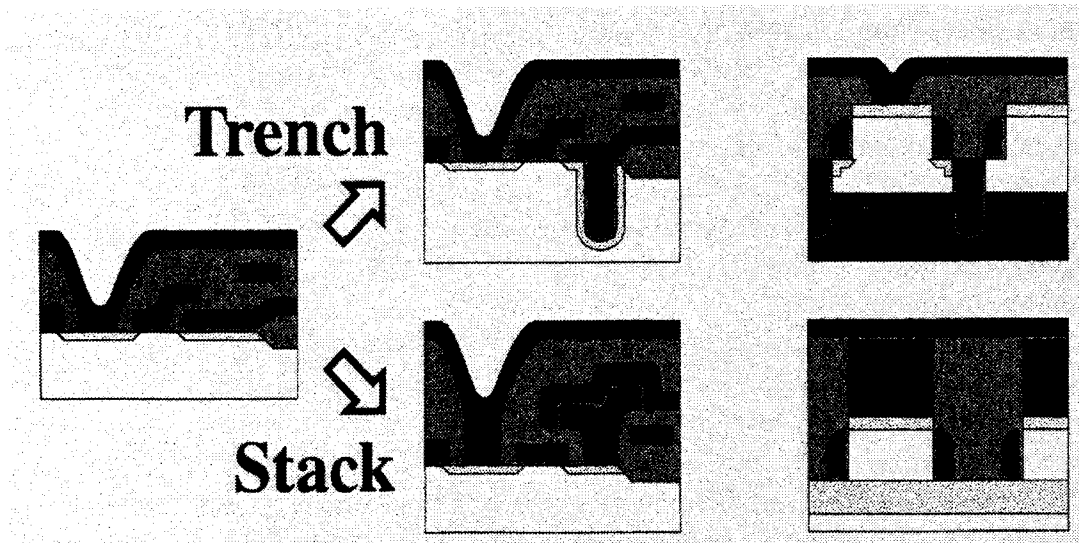


Abb. 10.1: Platzbedarf einer DRAM-Zelle nach [86]. Während die ursprüngliche Form einer DRAM-Zelle („Doppellagenzelle“, links) einen Platzbedarf von $32 F^2$ benötigte, konnte durch Einführung eines vertikal angeordneten Kondensators als Stapelzelle („Stack“) oder Grabenzelle („Trench“) der Platzbedarf auf $8 F^2$ reduziert werden (Mitte). Die Kombination eines vertikalen MOSFET mit Stapel- oder Grabenzelle erlaubt die Reduzierung der Zellgröße auf $4 F^2$ (rechts). (Mit freundlicher Genehmigung der Siemens AG, München)

bedarf von $32 F^2$ benötigte, konnte durch Einführung eines vertikal angeordneten Kondensators (entweder als Stapelzelle („Stack“) oder Grabenzelle („Trench“)) der Platzbedarf auf $8 F^2$ reduziert werden (Abb.10.1, Mitte). In Hinblick auf die 4-Gbit-Generation erlaubt die Kombination eines vertikalen MOSFET mit Stapel- oder Grabenzelle die Reduzierung der Zellgröße auf $4 F^2$ (Abb.10.1, rechts).

Ausblick

Eine Weiterentwicklung vertikaler MOSFETs erlaubt die Herstellung von Doppel-Gate-MOSFETs mit vertikalem Layout [87]. Bei Doppel-Gate-Transistoren wird durch Anbringen eines zweiten Gates das invers dotierte Gebiet umschlossen, so daß bei hinreichend kleinen Abmessungen durch Anlegen einer Gatespannung der gesamte dazwischenliegende Bereich invertiert wird. Dadurch können bei abnehmender Kanallänge Kink- und Kurzkanaleffekte vermieden werden. Durch Verwendung des vertikalen Layouts kann die heute zur Herstellung lateraler Doppel-Gate-MOSFETs eingesetzte teure und aufwendige Silicon-on-Insulator-Technologie (SOI) umgangen werden. Erste Untersuchungen zu vertikalen Doppel-Gate-MOSFETs mit verschiedenen Layouts sind sehr vielversprechend [88, 89, 90].

Anhang A

Prozeßfolge des V-FET

1. Buried Layer:

- (a) **Substrat:** n-dotiert, $\rho > 1000 \Omega\text{cm}$
- (b) **Deckoxid:** Therm. Oxidation von 1000 nm SiO_2 bei 1100°C
- (c) **Definition der Buried Layer:**
 - i. Trocknen 2 min 115°C , Aufschleudern HMDS, Trocknen 1 min 90°C , Aufschleudern AZ5214 bei 4000 U/min, Trocknen 5 min 90°C
 - ii. **Lithographie:** Maske: BL; Belichtung 5 s (Vakuum Kontakt); Entwicklung 1 min in MIF 1:1,25
 - iii. **Lack aushärten:** 5 min 90°C , 5 min 115°C , 10 min 150°C , 1 h 250°C im Ofen
 - iv. **BL-RIE:** RIE-Batch J CHF_3
 - A. Sauerstoffplasma (O_2 20 ml/min, 200 W, 30 μbar , 10 s)
 - B. Oxidplasma (CHF_3/CF_4 je 20 ml/min, 300 W, 30 μbar)
 - C. Sauerstoffplasma (O_2 20 ml/min, 200 W, 30 μbar)
- (d) **RCA-Reinigung:** Intensität des Ultraschallbades auf 50%; 80°C
 - i. $\text{H}_2\text{O}_2/\text{H}_2\text{SO}_4$, 1:1, 10 min
 - ii. Spülen in DI-Wasser, 5 min
 - iii. $\text{H}_2\text{O}_2/\text{NH}_4\text{OH}/\text{H}_2\text{O}$, 1:1:5, 10 min
 - iv. Spülen in DI-Wasser, 5 min
 - v. $\text{H}_2\text{O}_2/\text{HCl}/\text{H}_2\text{O}$, 1:1:5, 10 min
 - vi. Spülen in DI-Wasser, 5 min
- (e) **Opferoxid:** Therm. Oxidation von 100 nm SiO_2 bei 1050°C
- (f) **Entfernen des Opferoxids:** ca. 90 s in AF 91-09
- (g) **Ionenimplantation:** B^+ , 80 keV, $4 \cdot 10^{15} \text{ cm}^{-2}$ unter 7°
- (h) **RCA-Reinigung:** s. oben

- (i) **Elektrische Aktivierung:** 40 min bei 950°C unter Stickstoff
- (j) **Entfernen des Oxids:** ca. 13 min in AF 91-09
- 2. **Feldoxid:** Deposition von 700 nm PECVD-SiO₂
- 3. **Dreilagelack:**
 - (a) **Unterer Lack:** Trocknen 2 min 115°C, Aufschleudern AZ5214 bei 4000 U/min; Ausbacken: 5 min 90°C, 5 min 115°C, 10 min 150°C, 1 h 250°C
 - (b) **Zwischenschicht:** Aufdampfen 50 nm SiO₂
 - (c) **Oberer Lack:** Trocknen 2 min 115°C, Aufschleudern HMDS, Trocknen 1 min 90°C, Aufschleudern AZ5206 bei 4000 U/min, Trocknen 2 min 90°C
- 4. **Lithographie der Fenster:** Maske: MESA; Belichtung 4,4 s; Entwicklung 1 min in MIF 1:1,25
- 5. **Fenster-RIE:** RIE-Batch J VOXFET
 - (a) Sauerstoffplasma (O₂ 20 ml/min, 200 W, 30 µbar, 10 s)
 - (b) Oxidplasma (CHF₃ 20 ml/min, 300 W, 30 µbar)
 - (c) Sauerstoffplasma (O₂ 20 ml/min, 200 W, 30 µbar)
 - (d) Oxidplasma (CHF₃/CF₄ je 20 ml/min, 300 W, 30 µbar), ca. 50 nm stehen lassen
 - (e) Oxidplasma (CHF₃ 30 ml/min, 200 W, 30 µbar)
 - (f) Sauerstoffplasma (O₂ 20 ml/min, 200 W, 30 µbar)
- 6. **RCA-Reinigung:** s. oben
- 7. **Epitaxie:** RCA-Standardreinigung; selektive Epitaxie bei 800°C
- 8. **Rückätzen des Feldoxides:**
 - (a) Trocknen 2 min 115°C, Aufschleudern HMDS bei 4000 U/min, Trocknen 1 min 90°C, Aufschleudern AZ5214 bei 4000 U/min, Trocknen 5 min 90°C
 - (b) Lithographie: Maske FOX, Belichtung 5 s, Entwicklung 1 min MIF 1:1,25
 - (c) Lackschleierentfernung im Barrelreaktor Prg. 1, 1 min
 - (d) Aushärten 15 min 115°C
 - (e) Ätzung in AF91-09
 - (f) Entfernen des Lackes in Aceton
- 9. **RCA-Reinigung:** s. oben
- 10. **Gateoxidation:** Trockenoxidation des Gateoxids

11. **Deposition von Polysilizium:** Deposition von in situ dotiertem Polysilizium mittels LPCVD; Aktivierung im RTP bei 800°C für 30 s
12. **RCA-Reinigung:** s. oben
13. **Deposition des Deckoxides:** Deposition von 400 nm SiO₂ mittels PECVD
14. **Trennen der Transistoren:**
 - (a) **Dreilagelack:**
 - i. **Unterer Lack:** Trocknen 2 min 115°C, Aufschleudern AZ5214 bei 4000 U/min; Ausbacken: 5 min 90°C, 5 min 115°C, 10 min 150°C, 1 h 150°C
 - ii. **Zwischenschicht:** Aufdampfen 50 nm SiO₂
 - iii. **Oberer Lack:** Trocknen 2 min 115°C, Aufschleudern HMDS, Trocknen 1 min 90°C, Aufschleudern AZ5206 bei 4000 U/min, Trocknen 2 min 90°C
 - (b) **Lithographie:** Maske: Trennen; Belichtung 4,4 s; Entwicklung 1 min in MIF 1:1,25
 - (c) **Trennen-RIE:** RIE-Batch J VOXFET
 - i. Sauerstoffplasma (O₂ 20 ml/min, 200 W, 30 µbar, 10 s)
 - ii. Oxidplasma (CHF₃ 20 ml/min, 300 W, 30 µbar)
 - iii. Sauerstoffplasma (O₂ 20 ml/min, 200 W, 30 µbar)
 - iv. Oxidplasma (CHF₃/CF₄ je 20 ml/min, 300 W, 30 µbar)
 - v. Siliziumplasma (Ar(40 ml/min)/SF₆(1 ml/min), 150 W, 20 µbar)
 - (d) **Entfernen des Lackes in Aceton**
 - (e) **RCA-Reinigung:** s. oben
15. **Spacertechnologie:**
 - (a) **Spacerdeposition:** Deposition von 400 nm SiO₂
 - (b) **Spacer-RIE:** Oxidplasma (CHF₃ 20 ml/min, 300 W, 30 µbar)
16. **Kontaktloch Gate:**
 - (a) Trocknen 2 min 115°C, Aufschleudern HMDS bei 4000 U/min, Trocknen 1 min 90°C, Aufschleudern AZ5214 bei 4000 U/min, Trocknen 5 min 90°C
 - (b) Lithographie: Maske: GATE, Belichtung 5 s, Entwicklung 1 min MIF 1:1,25
 - (c) Lackschleier entfernen mittels Barrelreaktor Prg.1, 1 min
 - (d) Aushärten: 15 min 115°C

- (e) RIE-Ätzung (CHF_3 30 ml/min, 200 W, 30 μbar)
- (f) Ablösen des Lackes in Aceton

17. SALICIDE-Prozeß:

- (a) RCA-Reinigung: s. oben
- (b) Aufdampfen von 30 nm Nickel; AF 91-09 Dip unmittelbar vor dem Einbau in die Kammer
- (c) Silizidierung: Tempern der Probe im RTP-Ofen für 25 s, 560°C unter N_2
- (d) Ätzung in $\text{HCl}/\text{H}_2\text{O}_2$ 3:1, 3 min; Spülen in DI-Wasser

18. Metallisierung:

- (a) Trocknen 2 min 115°C, Aufschleudern HMDS, Trocknen 1 min 90°C, Aufschleudern AZ5214 bei 4000 U/min, Trocknen 5 min 90°C
- (b) Lithographie: Maske METALL, Belichtung 3,8 s, Umkehrbacken 150 s 115°C, Flutbelichtung 17 s, Entwicklung 50 s MIF 1:1,25
- (c) Aufdampfen von 50 nm Chrom und 200 nm Gold; vorher 45 s in situ Argon sputtern
- (d) Lift-Off

Anhang B

Prozeßfolge des VOXFET

1. Buried Layer:

- (a) **Substrat:** n-dotiert, $\rho > 1000 \Omega\text{cm}$
- (b) **Deckoxid:** Therm. Oxidation von 1000 nm SiO_2 bei 1100°C
- (c) **Definition der Buried Layer:**
 - i. -Trocknen 2 min 115°C , Aufschleudern HMDS, Trocknen 1 min 90°C , Aufschleudern AZ5214 bei 4000 U/min, Trocknen 5 min 90°C
 - ii. **Lithographie:** Maske: BL; Belichtung 5 s (Vakuum Kontakt); Entwicklung 1 min in MIF 1:1,25
 - iii. **Lack aushärten:** 5 min 90°C , 5 min 115°C , 10 min 150°C , 1 h 250°C im Ofen
 - iv. **BL-RIE:** RIE-Batch J CHF_3
 - A. Sauerstoffplasma (O_2 20 ml/min, 200 W, 30 μbar , 10 s)
 - B. Oxidplasma (CHF_3/CF_4 je 20 ml/min, 300 W, 30 μbar)
 - C. Sauerstoffplasma (O_2 20 ml/min, 200 W, 30 μbar)
- (d) **RCA-Reinigung:** Intensität des Ultraschallbades auf 50%; 80°C
 - i. $\text{H}_2\text{O}_2/\text{H}_2\text{SO}_4$, 1:1, 10 min
 - ii. Spülen in DI-Wasser, 5 min
 - iii. $\text{H}_2\text{O}_2/\text{NH}_4\text{OH}/\text{H}_2\text{O}$, 1:1:5, 10 min
 - iv. Spülen in DI-Wasser, 5 min
 - v. $\text{H}_2\text{O}_2/\text{HCl}/\text{H}_2\text{O}$, 1:1:5, 10 min
 - vi. Spülen in DI-Wasser, 5 min
- (e) **Opferoxid:** Therm. Oxidation von 100 nm SiO_2 bei 1050°C
- (f) **Entfernen des Opferoxids:** ca. 90 s in AF 91-09
- (g) **Ionenimplantation:** B^+ , 80 keV, $4 \cdot 10^{15} \text{ cm}^{-2}$ unter 7°

- (h) **RCA-Reinigung:** s. oben
- (i) **Elektrische Aktivierung:** 40 min bei 950°C unter Stickstoff
- (j) **Entfernen des Oxids** ca. 13 min in AF 91-09

2. Schichtstapel:

- (a) **Unteres Oxid:** Deposition von 220 nm SiO₂ (PECVD oder TEOS)
- (b) **Polysilizium:** Deposition von 200 nm Silizium, in situ dotiert
- (c) **Oberes Oxid:** Deposition von 340 nm LPCVD-TEOS

3. Dreilagennack:

- (a) **Unterer Lack:** Trocknen 2 min 115°C, Aufschleudern AZ5214 bei 4000 U/min; Ausbacken: 5 min 90°C, 5 min 115°C, 10 min 150°C, 1 h 250°C
- (b) **Zwischenschicht:** Aufdampfen 50 nm SiO₂
- (c) **Oberer Lack:** Trocknen 2 min 115°C, Aufschleudern HMDS, Trocknen 1 min 90°C, Aufschleudern AZ5206 bei 4000 U/min, Trocknen 2 min 90°C

4. Lithographie der Fenster: Maske: MESA; Belichtung 4,4 s; Entwicklung 1 min in MIF 1:1,25

5. Fenster-RIE: RIE-Batch J VOXFET

- (a) Sauerstoffplasma (O₂ 20 ml/min, 200 W, 30 µbar, 10 s)
- (b) Oxidplasma (CHF₃ 20 ml/min, 300 W, 30 µbar)
- (c) Sauerstoffplasma (O₂ 20 ml/min, 200 W, 30 µbar)
- (d) Oxidplasma (CHF₃/CF₄ je 20 ml/min, 300 W, 30 µbar)
- (e) Siliziumplasma (Ar(40 ml/min)/SF₆ (1 ml/min), 150 W, 20 µbar)
- (f) Oxidplasma (CHF₃ 30 ml/min, 200 W, 30 µbar)
- (g) Sauerstoffplasma (O₂ 20 ml/min, 200 W, 30 µbar)

6. RCA-Reinigung: s. oben

7. Deposition des Gateoxides:

- (a) Deposition von PECVD-SiO₂
- (b) Tempern des SiO₂ im RTO bei 900°C bzw. 1050°C unter N₂ für 1 min
- (c) Deposition von 50 nm Si₃N₄

8. Freilegen des Grabens:

- (a) RIE-Ätzung (CHF_3 30 ml/min, 200 W, 30 μbar)
- (b) RCA-Reinigung: s. oben
- (c) Naßchemische Entfernung des Nitridspacers an der Seitenwand in H_3PO_4 bei 160°C für 1 min
- (d) $\text{H}_2\text{O}_2/\text{HCl}/\text{H}_2\text{O}$, 1:1:5, 10 min bei 80°C, Ultraschall bei 50%; Spülen in DI-Wasser, 5 min

9. Epitaxie: RCA-Standardreinigung; selektive Epitaxie bei 800°C

10. Trennen der Transistoren:

(a) Dreilagelack:

- i. **Unterer Lack:** Trocknen 2 min 115°C, Aufschleudern AZ5214 bei 4000 U/min; Ausbacken: 5 min 90°C, 5 min 115°C, 10 min 150°C, 1 h 150°C
- ii. **Zwischenschicht:** Aufdampfen 50 nm SiO_2
- iii. **Oberer Lack:** Trocknen 2 min 115°C, Aufschleudern HMDS, Trocknen 1 min 90°C, Aufschleudern AZ5206 bei 4000 U/min, Trocknen 2 min 90°C

(b) Lithographie: Maske: Trennen; Belichtung 4,4 s; Entwicklung 1 min in MIF 1:1,25

(c) Trennen-RIE: RIE-Batch J VOXFET

- i. Sauerstoffplasma (O_2 20 ml/min, 200 W, 30 μbar , 10 s)
- ii. Oxidplasma (CHF_3 20 ml/min, 300 W, 30 μbar)
- iii. Sauerstoffplasma (O_2 20 ml/min, 200 W, 30 μbar)
- iv. Oxidplasma (CHF_3/CF_4 je 20 ml/min, 300 W, 30 μbar)
- v. Siliziumplasma ($\text{Ar}(40 \text{ ml/min})/\text{SF}_6$ (1 ml/min), 150 W, 20 μbar)
- vi. Sauerstoffplasma (O_2 20 ml/min, 200 W, 30 μbar)

(d) RCA-Reinigung: s. oben

11. Spacertechnologie:

- (a) Deposition von 350 nm PECVD- SiO_2
- (b) Planarisieren: Aufschleudern AZ5214 bei 4000 U/min, Flutbelichtung 30 s, Aushärten 15 min 115°C
- (c) Sauerstoff-RIE (O_2 20 ml/min, 200 W, 30 μbar), Oxidplasma (CHF_3 20 ml/min, 300 W, 30 μbar)
- (d) Entfernen des Lackes in Aceton

12. Kontaktloch Substrat:

- (a) Trocknen: 2 min 115°C, Aufschleudern HMDS bei 4000 U/min, Trocknen 1 min 90°C, Aufschleudern AZ5214 bei 4000 U/min, Trocknen 5 min 90°C
- (b) Lithographie: Maske: S/D-Kontakt, Belichtung 5 s, Entwicklung 1 min MIF 1:1,25
- (c) Lackschleier entfernen mittels Barrelreaktor Prg.1, 1 min
- (d) Aushärten: 15 min 115°C
- (e) RIE-Ätzung (CHF_3 30 ml/min, 200 W, 30 μbar)
- (f) Entfernen des Lackes in Aceton

13. Kontaktloch Gate:

- (a) Trocknen 2 min 115°C, Aufschleudern HMDS, Trocknen 1 min 90°C, Aufschleudern AZ5214 bei 4000 U/min, Trocknen 5 min 90°C
- (b) Lithographie: Maske: GATE, Belichtung 5 s, Entwicklung 1 min MIF 1:1,25
- (c) Lackschleier entfernen mittels Barrelreaktor Prg.1, 1 min
- (d) Aushärten: 15 min 115°C
- (e) RIE-Ätzung (CHF_3 30 ml/min, 200 W, 30 μbar)
- (f) Ablösen des Lackes in Aceton

14. SALICIDE-Prozeß:

- (a) RCA-Reinigung: s. oben
- (b) Aufdampfen von 30 nm Nickel; AF 91-09 Dip unmittelbar vor dem Einbau in die Kammer
- (c) Silizidierung: Tempern der Probe im RTP-Ofen für 25 s, 560°C unter N_2
- (d) Ätzung in $\text{HCl}/\text{H}_2\text{O}_2$ 3:1, 3 min; Spülen in DI-Wasser

15. Metallisierung:

- (a) Trocknen 2 min 115°C, Aufschleudern HMDS, Trocknen 1 min 90°C, Aufschleudern AZ5214 bei 4000 U/min, Trocknen 5 min 90°C
- (b) Lithographie: Maske METALL, Belichtung 3,8 s, Umkehrbacken 150 s 115°C, Flutbelichtung 17 s, Entwicklung 50 s MIF 1:1,25
- (c) Aufdampfen von 50 nm Chrom und 200 nm Gold; vorher 45 s in situ Argon sputtern
- (d) Lift-Off

Literaturverzeichnis

- [1] U. Resch-Esser, Phys. Bl. 54(1) (1998) 59
- [2] S. J. Wind, D. J. Frank, H.-S. Wong, Microelectronic Engineering 32 (1996) 271
- [3] M.D. Levenson, Opt. Lett. 5 (1980) 182
- [4] H.I. Smith, M.L. Schattenburg, IBM J. Research and Development 37 (1993) 319
- [5] W. Langheinrich, A. Vescan, B. Spangenberg, H. Beneking, Microelectronics Engineering 17 (1992) 287
- [6] L Risch, W. H. Krautschneider, F. Hofmann, H. Schäfer, T. Aeugle, W. Rösner, IEEE Transactions on Electron Devices 43(9), 1495 (1996)
- [7] N.N. SIA: Process of the Future, Roadmap of the SIA, Solid-State Techn. 42 (1995)
- [8] D. Behammer, L. Vescan, R. Loo, J. Moers, U. Zastrow, H. Lüth, T. Grabolla, Proceedings of ESSDERC 96, 943-946
- [9] D. Behammer, L. Vescan, R. Loo, J. Moers, U. Zastrow, H. Lüth, T. Grabolla. Electronics Letters, Vol 32, No.4 (1996), 406-407
- [10] R. Loo, Dissertation RWTH Aachen, Dezember 1996
- [11] R. Loo, L. Vescan, D. Behammer, J. Moers, T. Grabolla, W. Langen, D. Klaes, U. Zastrow, P. Kordoš, H. Lüth, Thin Solid Films 294 (1997) 267-270
- [12] J. Moers, Dissertation RWTH Aachen, Mai 1998
- [13] D. Klaes, J. Moers, A. Tönnemann, M. Grimm, S. Wickenhäuser, L. Vescan, M. Marso, P. Kordoš und H. Lüth, Proceedings of ESSDERC 98, 568-571
- [14] S.M. Sze: Physics of Semiconductor Devices, 2. Auflage, John Wiley and Sons, New York 1981
- [15] Y.Taur, Y.-J. Mii, D.J. Frank, H.-S. Wong, D.A. Buchanan, S.J. Wind, S.A. Rishton, G.A. Sai-Halasz, E.J. Nowak, J. Res. Develop 39, 245 (1995)
- [16] F. Balestra, G. Ghibaude, Solid-State Electronics 37, 1967 (1994)

- [17] C. Fiegna, H. Iwai, T. Wada, M. Saito, E. Sangiorgi, B. Ricco, IEEE Transactions on Electron Devices 41, 941 (1994)
- [18] T. Grotjohn, B. Hoefflinger, IEEE Transactions on Electron Devices ED31, 234 (1984)
- [19] S.G. Chamberlain, S. Ramanan, IEEE Transactions on Electron Devices ED33, 1745 (1986)
- [20] R.R. Troutman, IEEE Transactions on Electron Devices ED26, 461 (1979)
- [21] H. Noda, F. Murai, S. Kimura, IEEE Transactions on Electron Devices 41, 1831 (1994)
- [22] H. Gossner, I. Eisele, L. Risch, Jpn. J. Appl. Phys. 33, 2423 (1994)
- [23] D. Behammer, L. Vescan, R. Loo, J. Moers, U. Zastrow, H. Lüth, T. Grabolla, Electronics Letters, Vol 32, No.4 (1996), 406-407
- [24] K. De Meyer, S. Biesemans, N. Collaert, S. Kubicek, P. Verheyen, Proceedings of ESSDERC 98, 63-68
- [25] H. Füll, F. S. Becker, 21 IFF-Ferienkurs, 1, 16.1-16.79 (1990)
- [26] H. Gossner, I. Eisele, L. Risch, Jpn. J. Appl. Phys. 33 2423 (1994)
- [27] L. Vescan, ISI Jahresbericht 1991, Forschungszentrum Jülich GmbH
- [28] L. Vescan, private Mitteilung
- [29] S. J. Fonash, J. Electrochem. Soc. 137(12), 3885 (1990)
- [30] H. Norström, H. O. Blom, M. Ostling, A. Nylandsted Larsen, J. Kleinonen, S. Berg, J. Vac. Sci. Technol. B9(1) 34 (1991)
- [31] L. Vescan: Chemical Vapour Deposition, Handbook of Thin Film Process Technology, edited by D.A. Glocker, S.I. Shah (IOP, Bristol 1995)
- [32] R. Loo, Dissertation RWTH Aachen, Dezember 1996
- [33] Y. Ohshita, A. Ishitani, T. Takada, J. Crystal Growth 108 (1991) 499
- [34] J. Bloem, W. A. P. Claassen, Philips Techn. Rev. 41 (1983) 60
- [35] A. S. Grove: Physics and Technology of Semiconductor Devices, John Wiley and Sons, New York 1967
- [36] P. A. Coon, M.L. Wise, S.M. George, J. Crystal Growth 130 (1993) 162
- [37] P. A. Coon, P. Gupta, M. L. Wise, S. M. George, J. Vac. Sci. Technol. A10 (1992) 324

- [38] D.W. Greve, Mat. Sci. Eng. B18 (1993) 22
- [39] R. Loo, L. Vescan, A. Hartmann, R. Apetz, U. Zastrow, T. Schäpers, A. Leuther, C. Dieker, H. Lüth, P. Gartner, T. Stoica, Phys. Rev. B50 (1994) 18113
- [40] L. Jabretzki, J. Crystal Growth 63 (1986) 493
- [41] T. Aoyama, T. Ikarashi, K. Miyanaga, T. Tatsumi, J. Crystal Growth 136 (1994) 349
- [42] H. Hirayama, M. Hiroi, T. Ide, Phys. Rev. B48 (1993) 17331
- [43] L. Vescan, K. Grimm, C. Dieker, J. Vac. Sci. Technol. B 16(3), 1998
- [44] L. Vescan, R. Loo, A. Souifi, C. Dieker, S. Wickenhäuser, Journal de Physique IV 5 (1995) 55
- [45] S. M. Sze: Physics of Semiconductor Devices, 2. Auflage, John Wiley & Sons, New York 1981
- [46] Diplomarbeit K. H. Christian, FH Aachen, Abteilung Jülich, 1997
- [47] H. Ryssel, I. Ruge: Ionenimplantation, 1. Auflage, Teubner Stuttgart, 1978
- [48] J. F. Ziegler, J. P. Biersack, J. Littmark: The Stopping and Range of Ions in Solids, Pergamon Press 1985
- [49] J. Lindhard, M. Scharff, H. E. Schiott: Range Concepts and Heavy Ion Ranges. Kgl. Danske Videnskab. Selbkab. Mat.-Fys. Medd. 33 (1963)
- [50] S. M. Sze: Semiconductor Devices, Physics and Technology, John Wiley & Sons, New York, 1985
- [51] E. Hammerl, Dissertation Universität der Bundeswehr, München 1992
- [52] S. M. Sze, Semiconductor Devices, John Wiley and Sons, New York 1985
- [53] P.-H. Chang, H.-Y. Liu and J.M. Anthony, Mat. Res. Soc. Symp. Proc. Vol. 93 (1987)
- [54] Ygartua, C. L. and Swaroop, R. B., Semiconductor Fabrication: Technology and Metrology, ASTM STP 990, Dinesh C. Gupta, American Society for Testing and Materials, Philadelphia 1989
- [55] T. Hirao et al., J. Appl. Phys. 50(8), August 1979
- [56] G. S. Higashi, Y. J. Chabal in: Handbook of Semiconductor Wafer Cleaning Technology Science; Technology and Applications, Kap. 10, 433-496, New Jersey, 1993
- [57] M. Tabe, Jpn. J. of Appl. Phys. 21, 534 (1982)

- [58] G. Schumicki, P. Seegebrecht; Prozeßtechnologie, Springer-Verlag 1991
- [59] S. J. Fonash, J. Electrochem. Soc. 137(12) (1990) 3885
- [60] H. Norström et. al. , J. Vac. Sci. Technol. B9(1) (1991) 34
- [61] B. E. Deal, A. S. Grove, J. Appl. Phys. 36(12) 1965 3770
- [62] G. Schumicki, P. Seegebrecht; Prozeßtechnologie, Springer-Verlag 1991
- [63] W. Kern, RCA Review 31 (1970)
- [64] L.R. Doolittle, Nucl. Instr. and Meth. 9, 344 (1985)
- [65] S. Li, Semiconductor Physical Electronics, Plenum Press, New York, 1993
- [66] Diplomarbeit S. Kalz, RWTH Aachen, März 1995
- [67] S. P. Murarka, Silicides for VLSI Applications, Academic Press, Inc., London, 1983
- [68] T. Morimoto: Self-Aligned Nickel-Mono-Silicide Technology for High-Speed Deep Submicrometer Logic CMOS ULSI, IEEE Trans. on Electron Devices, 42(5), 915-922, 1995
- [69] T. Ohguro; Analysis of Resistance Behavior in Ti- and Ni-Saliceded Polysilicon Films, IEEE Trans. on Electron Devices, 41(12), 2305 - 2317, 1994
- [70] R. B. Fair, Rapid thermal processing, Science and Technology, Academic Press, Inc., Boston 1993
- [71] R. A. Levy, Microelectronic Materials and Processes, Kluwer Academic Publishers, Boston, 1989
- [72] Diplomarbeit Jürgen Braun, FH Aachen, Abteilung Jülich, August 1997
- [73] H. H. Berger, Solid State Electronics, 1972, Vol. 15, 145-158
- [74] T. Grabolla, private Mitteilung
- [75] J. Dickmann, Dissertation, RWTH Aachen, 1991
- [76] ATLAS Device Simulation Software, Silvaco International, Version 4.0, June, 1995
- [77] Lombardi et al., IEEE Trans. on CAD, Nov. 1988, 1164
- [78] Carsten Grimm: Diplomarbeit, RWTH Aachen 1997
- [79] J. Moers, D. Klaes, A. Tönnemann, S. Wickenhäuser, L. Vescan, M. Marso, P. Kordoš, H. Lüth und T. Grabolla: Vertical Si-MOSFET with Gate-Oxide Deposition before Selective Epitaxial Growth, Solid-State Electronics 43 (1999) 529-535

- [80] T. Schulz, W. Rösner, L. Risch, T. Aeugle, U. Langmann, A. Korbel: 130 nm Vertical PMOS Transistor with P+ Poly-Gate, Proceedings of ESSDERC 98, 168-171
- [81] D. Behammer, M. Zeuner, G. Höck, T. Hackbarth, J. Herzog, M. Schäfer, T. Grabolla: Comparison of lateral and vertical Si- and SiGe-MOSFETs with ultra short channels, eingereicht bei Thin Solid Films
- [82] G. E. Rittenhouse, W. M. Mansfield, A. Kornblit, R. A. Cirelli, D. Tones, G. K. Celler, IEEE Electron Device Letters, Vol. 16, No 7, July 1995
- [83] K. Noda, T. Tatsumi, T. Uchida, K. Nakajima, H. Miyamoto, C. Hu, IEEE Transactions on Electron Devices, Vol. 45, No. 4, April 1998
- [84] L. Risch, T. Aeugle, W. Rösner, Proceedings of ESSDERC 97, 34 ff
- [85] E. Bertagnolli et al., 1996 Symp. VLSI Technology, Technical Digest, 58 ff
- [86] Thomas Schulz, private Mitteilung ESSDERC 1998
- [87] M. Marso, J. Moers, D. Klaes, P. Kordoš, H. Lüth: Verfahren zur Herstellung eines Double-Gate-MOSFET, eingereicht beim Deutschen Patentamt in München
- [88] C. Auth, J. Plummer, Electron Device Letters, February 1997, Vol. 18 No. 2, 74 ff
- [89] T. Aeugle, L. Risch, W. Rösner, T. Schulz, D. Behammer, Proceedings of ESSDERC 97, 628 ff
- [90] M. Jurczak, E. Josse, R. Gwoziecki, M. Paoli, T. Skotnicki, Proceedings of ESSDERC 98, 172 ff

Danksagung

Ich möchte all denen danken, die durch ihre Unterstützung, Ratschläge und ihren Einsatz zum Gelingen dieser Arbeit ganz wesentlich beigetragen haben. Mein besonderer Dank gilt:

Herrn Prof. Dr. H. Lüth für die Möglichkeit, diese Arbeit im Institut für Schicht- und Ionentechnik durchzuführen. Er hat mir den nötigen Freiraum für ein selbständiges Arbeiten gelassen und mich für die Arbeit begeistern können.

Herrn Prof. Dr. S. Mantl für die freundliche Bereitschaft, das Korreferat zu übernehmen.

Herrn Prof. Dr. P. Kordoš und den Herren Dres. M. Marso und W. Langen für die intensive und gute Betreuung meiner Arbeit. In zahlreichen Gesprächen erhielt ich nützliche Hinweise und Motivation.

Herrn Dr. J. Moers für sein Engagement für die gemeinsame Sache, die aufschlußreichen Diskussionen und die gute Atmosphäre im Büro.

Frau Dr. L. Vescan, Frau S. Wickenhäuser, Herrn Dr. R. Loo und Herrn K. Wambach für die Epitaxien.

Herrn A. Tönnemann, J. Braun und K. Christian für die gute Zusammenarbeit.

Herrn Dr. M. Grimm für seine Beiträge zur Simulation und die fruchtbaren Diskussionen.

Herrn A. Steffen, F. Schröteler und F. Ringelmann für die Unterstützung im Reinraum.

Herrn Dr. T. Grabolla vom Institut für Halbleiterphysik, Frankfurt/Oder, für die Deposition der Oxide und des Polysiliziums.

Herrn Prof. Dr. Langmann und Herrn Auffermann von der Ruhruniversität Bochum für die zuverlässig durchgeführten Ionenimplantationen.

Herrn J. Zillikens, Frau A. Pracht und Herrn H. D. Drescher für unzählige Depositionen und Metallisierungen.

Herrn H. P. Bochem für die REM-Aufnahmen, sowie Frau S. Mesters und Frau D. Meertens für die TEM-Untersuchungen. Die Informationen, die mit diesen bildgebenden Verfahren gewonnen wurden, waren für die Arbeit sehr hilfreich.

Herrn U. Zastrow, Dr. B. Breuer und H. Holzbrecher für die SIMS-Messungen.

Frau K. Barthels für die stets schnelle und zuverlässige Durchführung der Photoarbeiten.

Auch allen anderen hier nicht namentlich erwähnten Mitarbeitern und Mitarbeiterinnen am ISI danke ich ganz herzlich für die vielen hilfreichen Diskussionen und die angenehme Arbeitsatmosphäre.

Forschungszentrum Jülich



Jül-3644
März 1999
ISSN 0944-2952